

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6888023号  
(P6888023)

(45) 発行日 令和3年6月16日(2021.6.16)

(24) 登録日 令和3年5月21日(2021.5.21)

(51) Int. Cl. F I  
**H03F 3/189 (2006.01)** H O 3 F 3/189  
**H03F 3/217 (2006.01)** H O 3 F 3/217

請求項の数 10 (全 17 頁)

(21) 出願番号	特願2018-553341 (P2018-553341)	(73) 特許権者	502327850
(86) (22) 出願日	平成29年4月12日 (2017.4.12)		フォルシュングスフェアブント ベルリン
(65) 公表番号	特表2019-514291 (P2019-514291A)		エー ファウ
(43) 公表日	令和1年5月30日 (2019.5.30)		Forschungsverbund B
(86) 国際出願番号	PCT/EP2017/058790		erlin e. V.
(87) 国際公開番号	W02017/178534		ドイツ連邦共和国 ベルリン ルドヴェア
(87) 国際公開日	平成29年10月19日 (2017.10.19)		ショセー 17
審査請求日	平成31年4月16日 (2019.4.16)		Rudower Chaussee 17,
(31) 優先権主張番号	102016106790.3		D-12489 Berlin, Germ
(32) 優先日	平成28年4月13日 (2016.4.13)		any
(33) 優先権主張国・地域又は機関	ドイツ(DE)	(74) 代理人	110001139
			SK特許業務法人
		(74) 代理人	100130328
			弁理士 奥野 彰彦

最終頁に続く

(54) 【発明の名称】 デジタル増幅器用変調器

(57) 【特許請求の範囲】

【請求項 1】

デジタル増幅器(400)用変調器(100)であって、  
 前記変調器(100)は、パルス整形器(110)と、パルス整形器(110)を制御するための制御ユニット(120)とを備え、

前記パルス整形器(110)は、クロック入力(112)、制御入力(111)、m倍のオーバーサンブラ、及びビットストリームシリアライザ(210)を備え、

前記パルス整形器(110)は、前記クロック入力(112)に適用されるクロック信号のクロック毎に、前記制御ユニット(120)の入力(122)に適用される前記入力信号の振幅値を符号化することによって、前記制御ユニット(120)の入力(122)に適用される入力信号を、デジタル増幅器用に構成されたビットストリーム(130)に変換するように適合され、

前記パルス整形器(110)は、前記入力信号の各振幅値を、異なる様々なビットパターンにより表すことができ、

前記パルス整形器(110)により用いられる各ビットパターンは、前記制御ユニット(120)により、前記制御入力(111)に適用される、対応する関連制御コマンドを用いて決定され、

前記デジタル増幅器(400)に関連づけられたビットパターンの既定の増幅である、関連する増幅された振幅値への、前記制御コマンドの割り当て(160)は、前記制御ユニット(120)内に記憶され、

10

20

前記制御ユニット(120)が、前記割り当て(160)、及び前記入力信号の各前記振幅値を用いて、クロック毎に制御コマンドを選択し、前記パルス整形器(110)を然るべく制御し、その結果、前記決定されたビットパターンに応じて生成されたビットストリームパルスは、増幅器特性である、効率、線形性、詳細精度、及び信号対ノイズ比のうちの少なくとも1つに関して、前記デジタル増幅器(400)用に、最適化されており、

前記m倍のオーバーサンブラは、前記クロック入力(112)に適用された前記クロック信号をm倍でオーバーサンプルし、従って前記入力信号をm倍の周波数に上げるように適合され、

mは1以上の数であり、

前記ビットストリームシリアライザ(210)は、前記決定されたビットパターンを、  
高められた前記クロック信号を用いて、前記選択された制御コマンドにより決定されたビットストリーム(130)に変換するように適合されている、デジタル増幅器用変調器。

【請求項2】

請求項1に記載の変調器であって、

前記結果振幅値への前記制御コマンドの前記割り当て(160)が内部に記憶されるメモリ(150)を、さらに備える、

変調器。

【請求項3】

請求項2に記載の変調器であって、

前記制御ユニット(120)は、少なくとも1つの前記関連結果振幅値を、少なくとも1  
回変更するように適合されている、

変調器。

【請求項4】

請求項2又は3に記載の変調器であって、

少なくともいくつかの前記ビットパターンは、位相によって割り当てが異なる、

変調器。

【請求項5】

請求項1から4のいずれか1項に記載の変調器であって、

前記制御ユニット(120)は、スペクトルの純度、フィルタの必要条件、及びノ又は増幅器効率に依存するパラメタが最適化されるように、生成すべき前記ビットパターンを決  
定するように適合されている、

変調器。

【請求項6】

請求項1から5のいずれか1項に記載の変調器であって、

振幅変調器(170)をさらに備え、

前記振幅変調器(170)は、前記入力信号の前記振幅値を符号化し、前記制御ユニット  
(120)へ提供するように適合され、

前記制御ユニット(120)は、前記符号化された信号を用いて、生成すべき前記ビット  
パターンを決定するように、さらに適合されている、

変調器。

【請求項7】

請求項6に記載の変調器であって、

前記振幅変調器(170)は、前記入力信号の前記振幅値を、以前使用されたビットパ  
ターンに関連する結果振幅値を用いて、符号化するように適合されている、

変調器。

【請求項8】

請求項6又は7に記載の変調器であって、

前記振幅変調器(170)は、位相変調されたキャリア信号を用いて、前記振幅値を符号  
化するように適合されている、

変調器。

10

20

30

40

50

## 【請求項 9】

請求項 8 に記載の変調器であって、  
前記位相変調されたキャリア信号、及び前記振幅値を表す包絡線信号を、前記入力信号の複素数値表現及びクロック周波数のキャリア信号から生成し、且つそれを前記振幅変調器（170）に提供するように適合されている入力段（180）をさらに備える、  
変調器。

## 【請求項 10】

入力信号をデジタル増幅された信号に変換するための装置であって、  
前記装置（300）は、請求項 1 から 9 のいずれか 1 項に記載の変調器（100）、及びデジタル増幅器（400）を備える、  
装置。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、デジタル増幅器用変調器と、そのような変調器及びデジタル増幅器を有する装置とに関するものである。

## 【背景技術】

## 【0002】

略してデジタル増幅器とも呼ばれるデジタル電力増幅器、及び電力制御装置は、その多くの利点により、近年低周波領域において急速に定着している。特に、ほぼ全体の出力電力範囲に渡り一貫して高効率であることにより、極めてエネルギー効率に優れ、従って環境に配慮した作動が可能となる。

20

## 【0003】

しかしながら、マイクロ波技術の分野において、デジタル増幅器は未だ定着していない。高帯域幅及び高線形性だけでなく、優れたエネルギー効率での高出力電力も同時に達成することは、トランジスタの周波数限界に対する余地の低さを考慮すると、依然として大きな挑戦である。

## 【0004】

デジタル増幅器は、値が離散的な出力信号を、最も単純な設計においては二値信号を、生成する。所望のアナログ出力信号は、出力信号の中間値を増幅器の出力において単純なバンドパスフィルタリングにより復元できるように、値が離散的な出力信号に符号化される。増幅すべき信号を、デジタル増幅器の入力信号へと対応させて符号化する構成を、変調器と呼ぶ。高周波信号（RF 信号）に関しては、物理的及び技術的フレームワークの条件により、低周波領域において既知の変調方式を採用することが妨げられる。

30

## 【0005】

変調器の目的は、入力信号からそのようなビットストリームを生成することである。ビットストリームは、増幅器により可能な限り高い効率で増幅可能であり、出力においてバンドフィルタを通過した後は、キャリア周波数へとアップコンバートされた、変調器の入力信号が増幅されたものに対応する。

## 【0006】

現代の通信システムにおいて、入力信号は、典型的には、送信される情報を符号化する位相位置及び振幅の両方の変動を含む。これは、アナログ信号として、各タスクに対して十分に高い振幅及び時間分解能を有する、又はアナログ信号のデジタル表現として得られる。

40

## 【0007】

デジタル増幅器のための 2 つの変調方法が、技術水準において既知である。S. Hori は、「マルチモード/バンド切替増幅器のための位相変調キャリアクロックを用いた 0.7 - 3 GHz 包絡線 変調器」（無線周波数集積回路シンポジウム（RFIC）2011、2011年6月5～7日、ページ1 - 4）において、包絡線デルタシグマ変調（EDSM）について説明している。EDSMは、パルスを生成しないか、又は位相変調さ

50

れたキャリア信号の振動毎に丁度1パルスを生成する。パルス幅を用いて、結果出力振幅を微調整することはできない。

【0008】

別の方法としては、バンドパスデルタシグマ変調(BPDSM)があり、例えばUS2015/028073A1に説明されている。BPDSMは、RF信号のオーバーサンプリングを必要とし、その結果、キャリア周波数の周期毎の切替動作の数が増加し、その結果、増幅器の放電及び充電損失が生じる。

【0009】

さらなる変調方法が、F. Raabによる、「無線周波数パルス幅変調」(IEEE Transactions on Communications、ページ958-966、1973年8月)、R. Schemelによる、「新しい信号：狭帯域増幅器又は信号経路をそのピーク電力まで線形化する方法」(Electronic Letters、36巻7号、ページ666-667、2000年3月30日)、及びP. Waghによる「無歪RFパルス幅変調」(2002年第45回中西部回路・システムシンポジウム、ページ124-127、2002年)において説明されている。

【0010】

変調器は、例えば、パルス整形器を備えることができる。ビットパターンングは、インパルス応答を増幅器に適合させ、入力信号をデジタル増幅器用に構成されたビットストリームに変換する。

【0011】

パルス整形器は、入力信号の振幅値及び位相と、キャリア信号のクロック周波数とを用いて、ビットストリームを生成する。キャリア信号のクロック内の全てのパルスの幅の合計は、例えば、振幅値を表し、第1パルスは位相を表す。いくつかのパルス整形器は、各振幅値を異なる様々な方法で表現することができる。例えば、3の振幅値は、1単位幅のパルス3つとして、3倍の幅に対応するパルス1つとして、又は幅の合計が3単位幅に対応する2つのパルスとして、表現することができる。これは、図1及び図2に例示的に示されている。加えて、パルス間のパルス休止は、可変である。これらの異なる様々な方法は、波形又はビットパターンとも呼ばれている。

【発明の概要】

【0012】

本発明によれば、請求項1に記載の変調器はデジタル増幅器用に導入される。変調器は、パルス整形器と、パルス整形器を制御するための制御ユニットとを備え、パルス整形器は、入力信号をデジタル増幅器用に構成されたビットストリームに変換し、クロック信号のクロック内の、入力信号の少なくとも1つの振幅値を符号化する。パルス整形器は、入力信号の各振幅値を、異なる様々なビットパターンにより表すことができる。パルス整形器により用いられる各ビットパターンは、制御ユニットにより、対応する関連制御コマンドを用いて決定される。変調器は、デジタル増幅器による関連ビットパターンの増幅の結果として生じる関連結果振幅値への、制御コマンドの割り当てが、制御ユニット内に記憶されること、又は少なくとも、制御ユニットは、割り当て及び入力信号の振幅値を用いてクロック毎に1つの制御コマンドを選択し、且つ然るべくパルス整形器を制御することを、特徴とする。

【0013】

提案されている変調器は、デジタル増幅器に応じた実際の結果振幅値への制御コマンドの割り当て可能性により、各実装、特にビットパターンング及び/又はデジタル増幅ハードウェアにおいて達成可能なハードウェアの性能に応じて、構成することができる。増幅器の後に実際に結果として生じる位相長は、波形テーブルに記録及び記憶することもできる。このようにして、増幅器の実際の位相誤差を補正することもできる。割り当てを用いた好適な選択により、変調器を、結果振幅値が制御コマンドに割り当てられる各デジタル増幅器用に、例えば、スペクトルの純度、フィルタの必要条件、及び/又は増幅器効率に関して、最適化することができる。

10

20

30

40

50

## 【 0 0 1 4 】

その割り当て可能性により、変調器は、デジタル増幅された出力信号への入力信号の変換を向上させるために有利に用いることができる。

## 【 0 0 1 5 】

本発明は、従来知られている方法の欠点を低減する新しい変調器について説明する。それは、デジタル回路技術において、又は単純な信号生成ブロックを用いて、実装することができる。デジタル回路は、より大きな部品交差を許容し、従って、よりコスト効率に優れた製造及びキャリブレーション処理を可能にする。

## 【 0 0 1 6 】

好ましい実施形態において、変調器はメモリを備え、メモリ内では、増幅器による異なる様々なビットパターンの増幅の結果として生じる結果振幅値が、制御コマンドへ割り当てられている。制御ユニットは、入力信号の振幅値、及び結果振幅値を用いて生成すべきビットパターンを決定するように、適合可能である。

## 【 0 0 1 7 】

ビットパターン割り当て内のエントリの好適な選択により、変調器は、最適化された符号化効率を有する。

## 【 0 0 1 8 】

これにより、増幅器用のビットストリームを迅速且つ容易に最適化することができる。

## 【 0 0 1 9 】

制御ユニットは、少なくとも1つの、結果振幅値の記憶された割り当てを、異なる様々なビットパターンの1つへ少なくとも1回変更するように、適合可能である。

## 【 0 0 2 0 】

これにより、変調器を、異なる様々な増幅器、及び/又は作動中の増幅器特性の変化に応じて、構成変更可能、又は適合可能にできる。

## 【 0 0 2 1 】

ビットパターンは、位相によって異なり得る。

## 【 0 0 2 2 】

これにより、増幅器にとってさらにより好適なビットストリームを生成することが可能となる。位相変調されたキャリア信号のクロック（振動）毎に異なる様々なビットパターンを生成することが可能であるため、結果として生じる出力信号の詳細精度が増す。これは、より高純度の出力スペクトル、及びバンドパスフィルタのより少ない必要条件に結果として現れる。

## 【 0 0 2 3 】

変調器は、振幅変調器を備えてもよい。振幅変調器は、入力信号の振幅値を符号化し、それを制御ユニットへ提供するように、適合可能である。制御ユニットも、符号化された信号を使用して生成すべきビットパターンを決定するように、適合可能である。

## 【 0 0 2 4 】

振幅変調器は、以前使用されたビットパターンの、結果振幅値を用いて、入力信号の振幅値を符号化するように、さらに適合可能である。

## 【 0 0 2 5 】

これにより、ノイズの低減が可能となる。特に、実際の結果振幅値ではなく記憶されている結果振幅値を用いることで、フィードバック遅延が低減され、従って、振幅変調器の振動のサージが低減される。

## 【 0 0 2 6 】

振幅変調器は、振幅変調器用のクロック信号としての役割を果たす、位相変調されたキャリア信号を用いて振幅値を符号化するように、適合可能である。位相位置の補正值も、波形テーブルに記録及び記憶することができる。このようにして、増幅器の実際の位相誤差も補正することができる。

## 【 0 0 2 7 】

変調器は、入力段をさらに備えてもよく、入力段は、入力信号の複素数値表現及びキャ

リア信号から、位相変調されたキャリア信号、及び振幅を表す包絡線信号を生成し、それを振幅変調器へ提供するように適合されている。

【0028】

パルス整形器は、位相変調されたキャリア信号から暫定ビットストリームを生成し、振幅値により少なくとも共に決定される位相を用いてそれを遅延させビットストリームを生成するように、適合可能である。位相は、増幅器の後に結果として生じるパルスの位相位置が所望の理想からどれほどずれているかを表し、そのずれを補償するために必要な遅延と同義である。割り当てには、1つの結果振幅値に対して2つの異なるビットパターンを含めることができ、それらは位相又は遅延が異なる。

【0029】

パルス整形器は、 $m$ 倍のオーバーサンプリングを行うシリアライゼーション回路により暫定ビットストリームを生成するように適合可能であり、 $m$ は、1以上の自然数である。

【0030】

パルス整形器は、ビットパターンの生成に加え、位相シフトを行うこともできる。

【0031】

さらに、本発明によれば、請求項10に記載の装置は、入力信号をデジタル増幅された信号に変換するために提供される。装置は、本発明に係る変調器、及びデジタル増幅器を備える。

【0032】

装置は、ブロードバンドフィルタリングにより出力信号を生成しデジタル増幅器に付随するバンドパスフィルタを備えることができる。制御ユニットは、デジタル増幅及びバンドパスフィルタリングの結果として生じる結果振幅値を用いて、生成すべき振幅値を決定するように、適合可能である。

【0033】

振幅変調器は、例えば、1次又はより高次のデルタシグマ変調器とすることができる。デルタシグマ変調器は、ネガティブフィードバックにより、位相変調されたキャリア信号を用いて包絡線信号を符号化する。特に、結果振幅値を、以前用いられたビットパターンに割り当てられた割り当てから、フィードバックすることができる。符号化は、符号化された信号を $d$ クロック毎に生成する、位相変調されたキャリア信号のクロック分周に基づくことが可能で、 $d$ は1以上の自然数である。デルタシグマ変調器のノイズシェーピング特性により、フィードバックにより信号品質が向上し、そして、必要条件が減ることにより、幅広い種類のバンドパスフィルタの使用が可能となる。

【0034】

次いで、ベースバンド信号が、入力段により提供され得る。入力段は、複素数値入力信号を、キャリア周波数を用いて、位相変調されたキャリア信号及び包絡線信号に変換する。

【0035】

制御ユニットを、既定のパルス整形器、及び既定の増幅器に対して構成を定めることができる。制御ユニットは、既定のパルス整形器に対してのみ構成を定めることができ、又はデジタル出力信号を用いる増幅器の実際の動きに応じて、初期時刻、及びノ又はそれ以降に調節可能であることもできる。割り当ては、実際の結果振幅値を用いて調節することができる。このようにして、変換の実際の効率及びノ又は実際の線形性は、初期に、且つノ又は後に、特に繰り返し改善され、具体的には最適化される。調節は、例えば、減衰式、反復式、及びノ又は増分式により行うことで、調節に起因するパラメタの急激な変化を回避することができる。

【0036】

パルス整形器に対する制御コマンドは、制御ユニットが、メモリに記憶された、少なくともデジタル振幅により生じた結果振幅値の制御コマンドへの割り当てに従って、振幅値に対する結果振幅値を決定し、然るべくパルス整形器を制御するという事実に基づくことが可能である。入力信号の振幅値に対して最小距離を有する結果振幅値を、決定し用いる

10

20

30

40

50

ことができる。最小距離は、例えば、以前決定されたビットパターンにより決定される、割り当て全体、又はサブセット内で決定することができる。特に、割り当ては、所謂ゼロパルス用の制御コマンドを、1つ又はそれ以上の振幅値に割り当てることができ、この制御コマンドにより制御される場合、パルス整形器は、パルスを形成しないように、適合可能である。

【0037】

本発明の有利な発展形態は、従属請求項に記載され、本明細書において説明される。

【図面の簡単な説明】

【0038】

本発明の実施形態は、図面及び以下の説明により、より詳細に説明される。

10

【0039】

【図1】図1は、キャリア信号のクロック内の例示的な振幅値を表す異なる様々なビットパターンを示している。

【0040】

【図2】図2は、例示のための異なる様々なビットパターンのさらなる例を示している。

【0041】

【図3】図3は、本発明に係る変調器の第1実施形態を示している。

【0042】

【図4】図4は、本発明に係る変調器の第2実施形態を示している。

【0043】

20

【図5】図5は、本発明に係る変調器の例示的な第3実施形態を示している。

【0044】

【図6】図6は、本発明に係る変調器の例示的な第4実施形態を示している。

【0045】

【図7】図7は、本発明の例示的な実施形態においてパルス整形器がどのように使用可能かを示す、例示的な第1実施形態を示している。

【0046】

【図8】図8は、本発明の例示的な実施形態においてパルス整形器がどのように使用可能かを示す、例示的な第2実施形態を示している。

【0047】

30

【図9】図9は、本発明の例示的な実施形態においてパルス整形器がどのように使用可能かを示す、例示的な第3実施形態を示している。

【0048】

【図10】図10は、本発明の例示的な実施形態においてパルス整形器がどのように使用可能かを示す、例示的な第4実施形態を示している。

【0049】

【図11】図11は、本発明に係る装置の例示的な実施形態を示している。

【0050】

【図12】図12は、本発明の例示的な実施形態において位相信号変調器がどのように使用可能かを示す、例示的な実施形態を示している。

40

【発明を実施するための形態】

【0051】

図3は、本発明の第1実施形態に係る変調器100を示している。変調器は、パルス整形器110及び制御ユニット120を備える。

【0052】

パルス整形器110は、入力信号の振幅及び位相と、キャリア信号のクロック周波数とを用いて、ビットストリーム130を生成するように適合されている。位相変調されたキャリア信号の各クロックに対して、パルス整形器は、入力信号の振幅値の表現を生成する。パルス整形器110は、各振幅値を異なる様々な方法で表現することができる。例えば、3の振幅値は、1単位幅のパルス3つとして、3倍の幅に対応するパルス1つとして、

50

又は幅の合計が3単位幅に対応する2つのパルスとして、表現することができる。加えて、又はこれに替えて、パルス間のギャップ幅は、可変である。

【0053】

これは、パルスと、結果振幅との間の、例示的な関係に過ぎない。図2はさらなる例を示している。実線は、波形テーブルに記述されたそれぞれの規定の波形を説明している。破線は、増幅器及びバンドパスフィルタの後に結果として生じる信号を表している。図2において、全てのパルスの幅と、出力振幅との間に一定の関係はない。全てのパルスは、その効果において相互に影響を及ぼし合う。これにより、例えば、2つのパルスの対応する配置により、ゼロに近い出力振幅を達成することが可能となる。これは、図2の最後の例において示されている。

10

【0054】

これらの異なる様々な方法は、ビットパターンとも呼ばれている。パルス整形器110は制御入力111を備え、制御入力111により、パルス整形器を、異なる様々なビットパターンの1つを使用するように、対応する制御コマンドを用いて制御することができる。パルス整形器110は、クロック入力112、及びビットストリーム130としての出力113も備える。

【0055】

制御ユニット120は、制御出力121を備え、制御出力121は、パルス整形器110を制御するための、パルス整形器の制御入力111に、電気的に接続されている。制御ユニット120は入力122も備え、入力122により、入力信号の振幅を制御ユニットへ供給することが可能である。

20

【0056】

制御ユニット120は、入力信号をビットストリーム130に変換するために、パルス整形器110を制御するように適合されており、制御ユニット120は、生成されるビットストリーム130がデジタル増幅器用に構成されるように、適合されている。

【0057】

制御ユニット120は、パルス整形器110によりクロックの時点で生成すべきビットパターンを、既定の増幅器に対応する振幅を少なくとも用いることにより決定し、且つ然るべくパルス整形器110を制御するように特に適合されている。その結果、決定されたビットパターンに応じて生成されたビット電流パルスは、増幅器パラメタである、効率、線形性、詳細精度、及び信号対ノイズ比のうちの少なくとも1つに関して、増幅器用に最適化されている。

30

【0058】

図3の実施形態はメモリ150を用いて行われており、メモリ内では、増幅器による異なる様々なビットパターンの増幅の結果振幅値が、異なる様々なビットパターン、及び/又はパルス整形器110の関連制御コマンドに、ビットパターンテーブル160において割り当てられ、又はそのような割り当てが提供される。この実施形態において、制御ユニット120は、デジタル増幅器による具体的な作動のために、ビットパターンテーブル160及び入力信号の各振幅値を用いて、位相変調されたキャリア信号の各クロックに対して、ビットパターンを決定するように適合されている。

40

【0059】

従って、変調器は、変調器と共にそれぞれ用いられるデジタル増幅器用に構成、又は事前に構成することができる。構成は、振幅の実際の結果振幅値を用いてビットパターンテーブル160内に記憶された振幅値を更新することで、何時でも調節することができる。

【0060】

制御ユニット120は、必ずしも外部からクロックされる必要はなく、従って、クロック入力はい任意に装備されるのみである。

【0061】

図4において、本発明の第2実施形態に係る変調器100が示されている。

【0062】

50



図3に示されている制御ユニット120、及びパルス整形器110に加え、第2実施形態の変調器100は、振幅変調器170を備える。

【0063】

振幅変調器170は、入力171（入力171により、入力信号の振幅を制御ユニットへ供給することができる）、及び制御ユニット120の入力122に電氣的に接続されている出力172を備え、出力172において、振幅変調器170は、入力信号の振幅を符号化された形態で制御ユニット120に提供する。第2実施形態の制御ユニット120は、符号化された信号を使用して、生成すべきビットパターンを決定するように、さらに適合されている。

【0064】

特に、例示的な実施形態において、振幅変調器170はフィードバック入力173を備え、制御ユニット120は、フィードバック入力173に電氣的に接続されている振幅出力123を備え、振幅出力123において、制御ユニット120は、結果振幅を出力する。振幅変調器170は、フィードバックされた、結果振幅を、符号化のために用いる。

【0065】

振幅変調器は、例えば、1次又はより高次のデルタシグマ変調器であり、従って、フィードバックはネガティブフィードバックを呈する。

【0066】

結果振幅は、既に制御ユニット内に記憶されているため、早い段階でフィードバックすることができる。これにより、振動のサージを確実に防ぐ。なぜならば、振幅変調器170の振動のサージは、測定されフィードバックされる実際の増幅器出力を使用する際に発生するからである。

【0067】

特に、別の例示的な実施形態において、振幅変調器170は、キャリア信号のクロック周波数を適用可能なクロック入力174を備える。この実施形態において、振幅変調器170は、クロック周波数を用いて振幅を符号化するようにも適合されている。

【0068】

図4の実施形態において、ブロック120は、クロック入力を備えていない。しかしながら、別の実施形態において、ブロック120は、例えば、振幅変調器170からのクロックにより提供されるクロック入力を備える。

【0069】

図5において、本発明の例示的な第3実施形態に係る変調器100が示されている。

【0070】

図3に示されている制御ユニット120、及びパルス整形器110に加え、例示的な第3実施形態の変調器100は、入力段180を備える。

【0071】

入力段180は、3つの入力181、182、及び183と、2つの出力184及び185とを備える。入力信号の複素数値表現のI成分及びQ成分を、入力のうちの2つである入力181及び182に適用することができる。クロック周波数を有するキャリア信号を、第3の入力183に適用することができる。I成分、Q成分、及びキャリア信号を適用すると、入力信号の位相によりシフトされたキャリア信号を出力184において、入力信号の振幅を表す包絡線信号を出力185において、抽出することができる。

【0072】

第3実施形態において、出力185は入力122に電氣的に接続されており、出力184はクロック入力112に電氣的に接続されている。

【0073】

例示的な第3実施形態において、本発明に係る変調器100は、同相/直行位相成分表現（I及びQ）での複素数値入力信号としての増幅すべき信号と、例えば、クロック周波数を有する正弦波振動である、所望のキャリア信号の表現とを、受信する。入力段180において、包絡線の振幅情報がこのデータから得られる。加えて、入力信号の位相情報を

10

20

30

40

50

用いて、キャリア信号を位相変調する。

【0074】

図6において、本発明の例示的な第4実施形態に係る変調器100が示されている。

【0075】

図3に示されている制御ユニット120、及びパルス整形器110に加え、第4実施形態の変調器100は、振幅変調器170及び入力段180を備える。

【0076】

第4実施形態において、出力185は入力171に電氣的に接続されており、出力184はクロック入力112及びクロック入力174に電氣的に接続されている。振幅変調器170と制御ユニット120との間の電氣的接続は、第2実施形態のそれに対応している。

【0077】

図7は、本発明の例示的な実施形態において用いられているような、パルス整形器110の例示的な第1実施形態を示している。

【0078】

パルス整形器110は、クロック入力112に適用される信号をm倍でオーバーサンプルし、従って信号をm倍の周波数に上げる、m倍のオーバーサンプラ（周波数逡倍器）（mは、1以上の数である）と、ビットストリームシリアライザ210とを備える。この新たな、より速いクロックを用いて、ビットストリームシリアライザ210は、テーブルから選択された波形表現を、ビットストリームに変換する。ビットストリームシリアライザ210によりビットストリームのビットを生成するために用いられるビットパターンは、制御入力111における各制御コマンドを用いて、選択装置250（セクタ）により決定され、ビットストリームシリアライザ210に送信される。示した例において、パルス整形器110は制御可能な遅延線220をさらに備え、遅延線220により、セクタ250により決定され制御可能な遅延線220へ送信される位相情報に従って、ビットストリームを遅延させることができる。

【0079】

パルス整形器110の例示的な第1実施形態において、ビットストリームシリアライザ210は、この段階でシリアライズすべきデータを含む並列データワード（ビットパターン）を直接受信する。

【0080】

パルス整形器110の例示的な第1実施形態において、制御可能な遅延線220は、整相信号を直接受信する。整相信号は、位相の調整を示し、従って、ビットストリームシリアライザ210の出力からのシリアルビットストリームをどの程度遅延させるべきかを示す。

【0081】

図8は、本発明の例示的な実施形態において用いられているような、パルス整形器110の例示的な第2実施形態を示している。

【0082】

第1実施形態とは対照的に、例示的な第2実施形態においては、整相信号は、制御可能な遅延線220ではなく、介在する位相信号変調器230へ供給される。

【0083】

位相信号変調器230は、例えば、1次又はより高次のデルタシグマ変調器である。図12は、ディスクレタイザ235を用いて信号を離散化し、離散化された信号を入力される整相信号から取り除く位相信号変調器230を、例示的に示している。差信号は、集約されてディスクレタイザ235へ供給される。離散化された信号は、位相信号変調器230の出力において入手することもできる。位相信号変調器230は、整相信号を、整相信号と比べより低い分解能を有する追加的な低分解能整相信号に変換する。

【0084】

整相信号を、整相信号と比べより低い分解能を有する追加的な低分解能整相信号に変換

することができる、他の変調器も用いることができる。これにより、位相信号よりも粗い分解能を有する制御可能な遅延線 220 を配置することが可能となる。

【0085】

追加的な整相信号により予め規定された遅延が、ビットストリームシリアライザのビット時間を超えるほどに大きい場合、ビットストリームシリアライザにより、遅延を完全に、又は部分的に生成することが有利な可能性がある。

【0086】

パルス整形器 110 の例示的な第 3 実施形態において、本発明の例示的な実施形態において用いられ、図 9 に示されているように、追加的な整相信号は、位相信号変調器 230 により整数部分と剰余に分解される。追加的な整相信号の整数部分に対応する遅延部分は、ビットシフトユニット 240 へ供給される。ビットシフトユニット 240 は、整数部分に対応するビット数だけ並列データワードをシフトする。次いで、シフトされたデータワードは、ビットストリームシリアライザ 210 へ供給される。例示的な第 3 実施形態において、制御可能な遅延線 220 は、追加的な整相信号の剰余、つまり、最大でビットストリームシリアライザのビット時間に対応する遅延のみを生じさせる。

【0087】

追加的な整相信号の整数部分は、追加的な整相信号よりもさらに粗い分解能を有する。

【0088】

追加的な整相信号の剰余は、追加的な整相信号と同じ分解能を有するが、例示的な第 2 実施形態と比べより低い値の幅を有する。なぜならば、剰余はビットストリームシリアライザのビット時間よりも小さいからである。

【0089】

実際には、剰余により、つまり、多くの用途においては制御可能な遅延線 220 により生じる追加の遅延をなくすことも可能であり、これは特に、追加的な整相信号の整数部分がビットストリームシリアライザ 210 のいくつかのビット時間に対応する場合であるが、その場合のみではない。図 10 は、パルス整形器 110 の例示的な第 4 実施形態を示しており、本発明の例示的な実施形態において用いることが可能なこのパルス整形器 110 は、制御可能な遅延線 220 を備えていない。

【0090】

例示的な第 4 実施形態において、追加的な整相信号は、位相信号変調器 230 により、ビットストリームシリアライザ 210 のビット時間の整数に端数を切り上げ又は切り下げられている。整数に端数を切り上げ又は切り下げられた整相信号は、ビットシフトユニット 240 へ供給される。ビットシフトユニット 240 は、整数に端数を切り上げ又は切り下げられた整相信号に対応するビット数だけ並列データワードをシフトする。次いで、シフトされたデータワードは、ビットストリームシリアライザ 210 へ供給される。

【0091】

図 11 は、本発明の実施形態に係る装置 300 の例示的な実施形態を示している。

【0092】

装置 300 は、本発明に係る変調器 100、及びデジタル増幅器 400 を備える。変調器 100 は、入力信号の振幅及び位相からビットストリーム 130 を生成する。次いで、ビットストリーム 130 は、増幅器 400 によりデジタル増幅される。変調器 100 の制御ユニットにおいて、各ビットパターンに由来するデジタル増幅器 400 の結果振幅は、制御コマンドに割り当てられたビットパターンテーブル内に記憶される。

【0093】

図 11 の例示的な実施形態において、変調器 100 は、特に図 1 から図 4 の例示的な実施形態の 1 つに従って適合可能である。さらに、図 11 に示されている例示的な実施形態において、パルス整形器 110 は、特に図 7 から図 10 の例示的な実施形態の 1 つに従って適合可能である。

【0094】

本発明に係る変調器は、増幅器、パルス整形器、及び / 又はさらなる部品の各特性及び

10

20

30

40

50

可能性に応じて、非常に柔軟に調節可能である。

【0095】

制御ユニットに関して、異なる変化実施形態が考えられる。

【0096】

最も単純な変化実施形態において、制御ユニットは、ビットパターンテーブル中のエントリであって、その振幅値が制御ユニットの入力値と最小の差で対応する、エントリを選択する。拡張された変化実施形態において、制御ユニットが、変調器及び増幅器の回路全体のより有利な動きを達成するために、規定された規則に従うこの方法から逸脱することが考えられる。例えば、増幅器における状態変化を最小化し、それにより、放電及び充電損失により発生するエネルギー損失を低減するために、パルスは省略可能である（パルスを出力しないようにパルス整形器に命令を与えるビットパターンテーブルのエントリが選択される）。特定のパラメタを最適化する多くの他のアルゴリズムが考えられる。

【0097】

振幅変調器は、1次のデルタシグマ変調器として設計することができる。そのようなデルタシグマ変調器は、どのビットパターンが実際に選択されたかに関する制御ユニットの情報を、離散化誤差を識別し、然るべく対応するために、用いることができる。ここで、増幅器の出力フィルタに対する必要条件を減らし、信号品質を向上させるために、デルタシグマ変調器のノイズシェーピング特性を有効に適用することができる。別の変形例において、より高次のデルタシグマ変調器、又は完全に異なる変調器のコンセプトも用いることができる。振幅変調器を完全に取り除き、入力段の包絡線信号を制御ユニットに直接供給することも考えられる。

【0098】

振幅変調器及び制御ユニットは、位相変調されたキャリア信号のそれぞれの完全な振動に対して、パルス整形器への生成命令を1つずつ生成する。しかしながら、変調段のクロック入力におけるクロック分周ブロックにより、キャリア信号のd振動毎にのみ命令を生成するようにも構成できる。このとき、ビットパターンテーブルのエントリは、それぞれdクロック長さのビットパターンを含む。この場合、dは1以上の自然数である。

【0099】

変調器は、ただ1つの(2値)入力を有するデジタル増幅器に限定されるものではなく、いくつかの入力を有する増幅器を作動させることも可能である。ビットパターン生成ユニットを然るべく拡張又は増やし、追加情報をビットパターンテーブルに記憶することのみを必要とする。

【0100】

この変調器は、変調器及び増幅器の複合体の線形性を高めるために、パラメタを容易に補正することも可能にする。この目的のために、実際の結果振幅、及び実際の位相位置を、ビットパターンテーブル内に記憶されている各ビットパターンに対して、(バンドパスフィルタの前又は後の)増幅器の出力信号から決定することができる。次いで、これらの値は、ビットパターンテーブルへと引き継ぐことができる。実際のハードウェア特性により良く適合するパラメタを用いることで、出力信号の線形性の向上が達成される。

【0101】

別の変化実施形態において、上述のビットパターンテーブルのエントリの補正を1度だけでなく、繰り返し行うことも可能である。上述の値の識別は、実際の有効な信号に基づいて行うことも可能であるため、この補正を作動中に実行することも可能である。このタスクのために、出力信号をセクション単位で、又は連続的にも取り出すことができる。ビットパターンテーブルを更新する際のパラメタの突然の急激な変化を回避するために、以前の値を考慮し、減衰式又は増分式及び/又は反復式の調節を行うことが有効であり得る。

【0102】

本発明の実施形態は、入力信号を、一連のデジタルパルスに変換可能な方法を含む。一連のデジタルパルスは、増幅された入力信号をバンドパスフィルタリングにより増幅され

たパルスから得られるように、デジタル電力増幅器により増幅するうえで、好適である。

【0103】

実施形態において、好適なビットパターンが、必要に応じて選択可能な2つの重要な基準、つまり、送信信号の、結果振幅、及び結果位相位置と共に、記憶されている、ビットパターンテーブルが存在する。

【0104】

位相変調された信号の各周期毎に、符号化された信号が制御ユニットの包絡線へ供給され、制御ユニットは、特定の規則に従いビットパターンテーブルからエントリを選択し、テーブルに規定された対応するビットパターンを、ビットストリームに変換する。

【0105】

入力信号は、複素数値でも、且つノ又は同相ノ直行位相成分表現で利用可能としても、よい。

【0106】

デルタシグマ変調などの、ノイズシェーピング変調方法を、振幅変調に用いることが可能である。

【0107】

ビットパターンテーブル内のエントリは、作動中に変更可能である。

【0108】

例えば、ビットパターンテーブル内のエントリは、変調された信号の非線形歪み、又は他の特性が最適化されるように、作動中に自動的に調節される。

【0109】

別の実施形態において、パルス整形器は、位相シフトも行う。

【0110】

別の設計例において、装置は、デジタル増幅器に付随し、且つブロードバンドフィルタリングにより出力信号を生成する、バンドパスフィルタを備える。この実施形態の例において、制御ユニットは、デジタル振幅及びバンドパスフィルタリングから生じる結果振幅、又はデジタル振幅のみから生じる結果振幅を用いて、生成すべき振幅を決定するように適合されている。加えて、結果位相を考慮することができる。

【0111】

振幅変調器は、例えば、1次又はより高次のデルタシグマ変調器であって、以前使用が意図されていたビットパターンに関連付けられた結果振幅値をネガティブフィードバックすることにより、位相変調されたキャリア信号を用いて包絡線信号を符号化する、デルタシグマ変調器である。符号化は、位相変調されたキャリア信号のクロック分周に基づくことが可能で、制御信号のdクロック毎に、符号化された信号を生成し、dは1より大きい、又は1に等しい自然数である。デルタシグマ変調器のノイズシェーピング特性は、フィードバックにより信号品質を向上させ、バンドパスフィルタの必要条件を減らすことで、より多様なバンドパスフィルタを使用可能にする。

【0112】

一方、位相変調されたキャリア信号は、例えば、同相ノ直行位相成分表現により、複素数値入力信号を、キャリア周波数を用いて、位相変調されたキャリア信号及び包絡線信号に変換することで、提供される。

【0113】

第1実施形態において、制御ユニットは、既定のパルス整形器、及び既定の増幅器に対して構成が定められている。第2実施形態において、制御ユニットは、増幅器の実際の動きに応じて、既定のパルス整形器に対してのみ、初期及びノ又はそれ以降に、デジタル出力信号を用いて調節可能である。調節は、例えば、実際の結果振幅を用いて、割り当てを調節することにより行われる。このようにして、変換の実際の効率及びノ又は実際の線形性は、初期及びノ又はそれ以降に、また特に反復的に、向上され、具体的には最適化される。調節に起因するパラメタの急激な変化を回避するために、調節は、例えば、減衰式、反復式、及びノ又は増分式で行われる。

10

20

30

40

50

【 0 1 1 4 】

制御ユニットは、入力信号の振幅値に対してビットパターンを決定し、且つパルス整形器が決定されたビットパターンを用いるように対応してパルス整形器を制御するように、適合されている。これは、例えば、制御ユニットであって、少なくともデジタル振幅から生じる結果振幅の、ビットパターンへの割り当てであって、メモリに記憶され且つパルス整形器が用いることができる割り当て内の振幅値から、結果振幅値を決定し、そして、割り当てられたビットパターンを用いるようにパルス整形器を制御する、制御ユニットに基づくことができる。例えば、最小距離を有する結果振幅値を決定し、必要であれば、依然として割り当てられている位相位置と共に用いることができる。最小距離は、割り当て全体、又はサブセット内で決定することができ、例えば、以前決定されたビットパターンにより決定される。割り当ては、特に、1つ又はそれ以上の、結果振幅値に、所謂ゼロパルスの制御コマンドを割り当てることができ、この制御コマンドにより制御される場合、パルス整形器は、パルスを形成しないように適合可能である。

10

【 0 1 1 5 】

デジタル実装では、フィールドプログラマブルゲートアレイ（FPGA）などの再構成可能な部品、又は特定用途向け集積回路（ASICs）などの特定用途向けプロセッサが存在し、これらは、フィールド内の1つ、いくつか、及び/又は全てのパラメタの、迅速な調節を、作動中においてさえも、可能にする。従って、顧客固有の調節のコストを最小限に抑えることができる。動的なパラメタ調節が必要とされる新たな応用が可能となる。

【 0 1 1 6 】

本発明を、好ましい実施形態により、詳細に例示及び説明してきたが、本発明は、開示された実施形態に限定されるものではなく、当業者によって、本発明の保護の範囲を逸脱しない範囲で、他の変形が導き出される可能性がある。

20

【 図 1 】

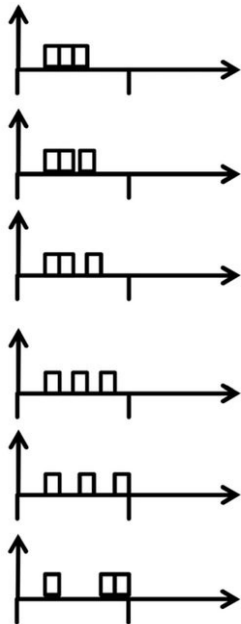


図1-先行技術

【 図 2 】

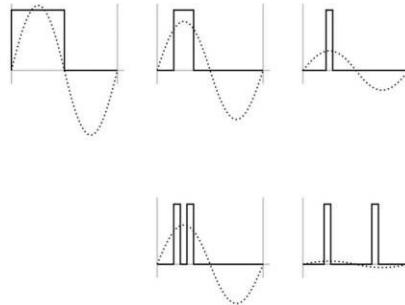


図2-先行技術

【 図 3 】

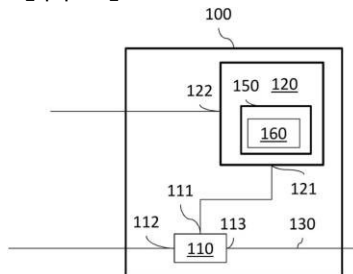


図3

【 图 4 】

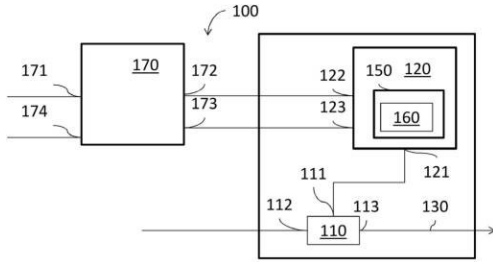


图 4

【 图 6 】

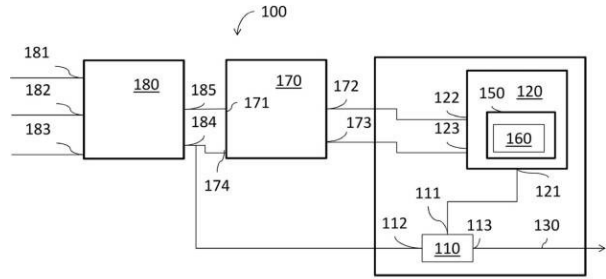


图 6

【 图 5 】

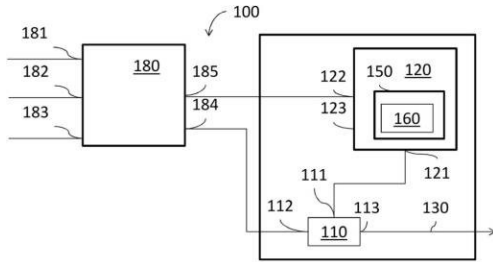


图 5

【 图 7 】

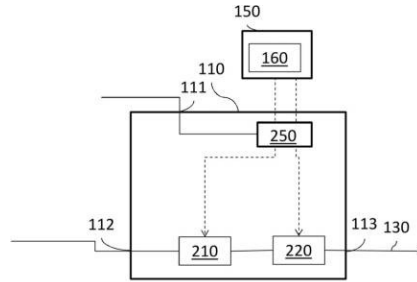


图 7

【 图 8 】

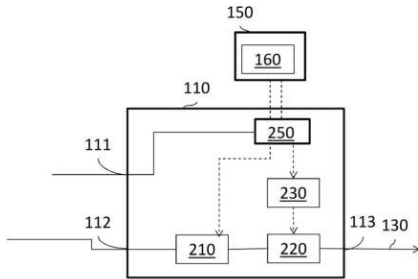


图 8

【 图 10 】

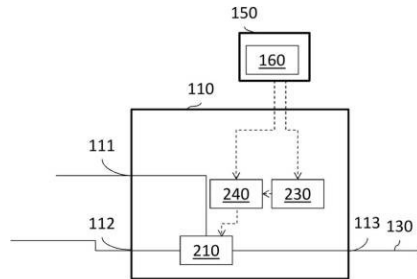


图 10

【 图 9 】

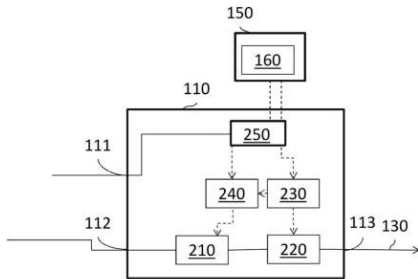


图 9

【図 1 1】

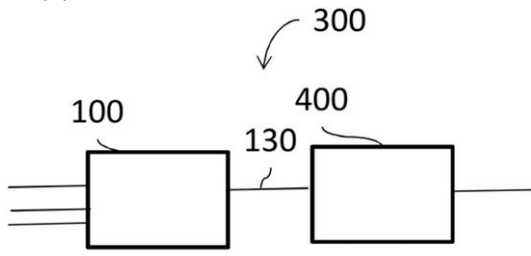


図 11

【図 1 2】

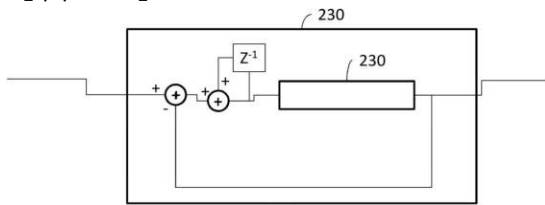


図 12



---

フロントページの続き

(74)代理人 100130672

弁理士 伊藤 寛之

(72)発明者 フーン, フロリアン

ドイツ 10247 ベルリン, ペッテンコーファーシュトラッセ 4エフ

審査官 竹内 亨

(56)参考文献 国際公開第2013/042754(WO, A1)

特開2015-109646(JP, A)

国際公開第2014/192574(WO, A1)

特開平09-252252(JP, A)

特開2007-166190(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/00-3/72