



(12) **Patentschrift**

(21) Aktenzeichen: **10 2020 112 980.7**
(22) Anmeldetag: **13.05.2020**
(43) Offenlegungstag: –
(45) Veröffentlichungstag
der Patenterteilung: **19.08.2021**

(51) Int Cl.: **H03G 11/00 (2006.01)**

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:
**Ferdinand-Braun-Institut gGmbH, Leibniz- Institut
für Höchstfrequenztechnik, 12489 Berlin, DE**

(74) Vertreter:
**Gulde & Partner Patent- und
Rechtsanwaltskanzlei mbB, 10179 Berlin, DE**

(72) Erfinder:
Krause, Sascha, 12439 Berlin, DE

(56) Ermittelter Stand der Technik:

GB	2 165 114	A
US	2014 / 0 015 591	A1
US	4 701 643	A

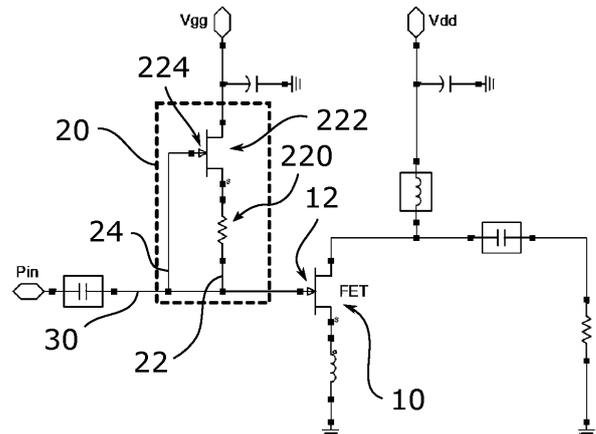
BROAS M. [et al.]: Correlation of gate leakage and local strain distribution in GaN/AlGaIn HEMT structures. In: Microelectronics Reliability, Vol. 64, 2016, S. 541-546. - ISSN 1872-941X (E); 0026-2714 (P). DOI: 10.1016/j.microrel.2016.07.050

RUDOLPH, Matthias [et al.]: Analysis of the Survivability of GaN Low-Noise Amplifiers. In: IEEE Transactions on Microwave Theory and Techniques, Vol. 55, 2007, No. 1, S. 37-43. - ISSN 1557-9670 (E); 0018-9480 (P). DOI: 10.1109/TMTT.2006.886907. URL: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=4061062> [abgerufen am 2020-05-29]

(54) Bezeichnung: **Schaltungsanordnung zur Begrenzung des Gatestromes an einem Feldeffekttransistors**

(57) Zusammenfassung: Die vorliegende Erfindung betrifft eine Schaltungsanordnung zur Begrenzung des Gatestroms an einem Feldeffekttransistor, insbesondere eine Schaltungsanordnung zur Begrenzung des Gatestroms an einem GaN oder GaAs HF Leistungs-HEMT in einer analogen Verstärkerschaltung.

Eine erfindungsgemäße Schaltungsanordnung zur Begrenzung des Gatestroms an einem Feldeffekttransistor, FET, umfasst einen ersten FET (10) und ein mit einem Gate-Anschluss (12) des ersten FET (10) verbundenes Gleichspannungs-Versorgungsnetzwerk (20); wobei das Versorgungsnetzwerk (20) über eine erste Verbindung (22), welche einen hochohmigen Widerstand R_1 (220) und einen dazu in Reihe geschalteten zweiten FET (222) mit einem Gate-Anschluss (224) umfasst, eine Spannung V_{gg} am Gate-Anschluss (12) des ersten FET (10) bereitstellt; wobei der zweite FET (222) einen AN-Zustand bei einer Gate-Source-Spannung von 0 V aufweist und dessen Gate-Anschluss (224) über eine zweite Verbindung (24) parallel zum Widerstand R_1 (220) ebenfalls mit dem Gate-Anschluss (12) des ersten FET (10) verbunden ist; wobei ein am Widerstand R_1 (220) auftretender Spannungsabfall zu einer zunehmenden Sperrung des zweiten FET (222) führt.



Beschreibung

[0001] Die vorliegende Erfindung betrifft eine Schaltungsanordnung zur Begrenzung des Gatestroms an einem Feldeffekttransistor, insbesondere eine Schaltungsanordnung zur Begrenzung des Gatestroms an einem GaN oder GaAs HF Leistungs-HEMT in einer analogen Verstärkerschaltung.

Stand der Technik

[0002] Die Entwicklung von Elektronik, die sowohl höhere Frequenzen und Leistungen bei kleineren Dimensionen liefern kann, stellt vor allem im Mikrowellenbereich aufgrund der geltenden physikalischen Gesetzmäßigkeiten eine Herausforderung dar. Dabei ermöglichen höhere Sendefrequenzen in der Nachrichten- und Kommunikationstechnik höhere Bandbreiten und schnellere Datenübertragung (z. B. 5G) sowie eine zeitlich- und räumlich feinere Auflösung für Radarapplikationen sowohl in zivilen wie auch in militärischen Einsatzgebieten. Einen maßgeblichen Beitrag zum heutigen Stand der Technik ist dem High Electron Mobility Transistor (HEMT) geschuldet, welcher auch als Heterojunction Field-Effect Transistor (HFET), Two-Dimensional Electron-Gas Field-Effect Transistor (TEGFET), Modulation-Doped Field-Effect Transistor (MODFET) oder abkürzend auch einfach als Feldeffekttransistor (FET) bezeichnet wird. Dabei nutzt dieser spezielle Feldeffekttransistor zwei heterogene Halbleitermaterialien mit unterschiedlichen Bandlücken um an der Grenzschicht einen quasi zweidimensionalen Kanal gefüllt mit Elektronen bereitzustellen. In diesem undotierten, auch 2-DEG („two dimensional electron-gas“) genannten Bereich können hohe Elektronenmobilitäten erreicht werden, welches die hohen erreichbaren Betriebsfrequenzen dieser Technologie ermöglicht.

[0003] Der am weiten verbreitetste HEMT basiert auf der Gallium-Arsenid (GaAs) Technologie, welche allerdings in vielen Bereichen von der heranreifenden Gallium-Nitrid (GaN) Technik ersetzt wird. Aufgrund der höheren Bandlücke und Stromtragfähigkeit in GaN können erheblich größere Leistungen erzielt werden, ohne dabei in anderen elektrischen Parametern wie der Rauschzahl nennenswerte Nachteile aufzuweisen. Dies ermöglicht Transceiver bestehend aus einem leistungs- und rauscharmen Verstärker („low noise amplifier“, LNA) auf einen einzigen Chip monolithisch zu integrieren, spart damit Kosten und reduziert die Komplexität und die Abmessungen der Komponente.

[0004] Im Allgemeinen ist ein rauscharmer Verstärker darauf optimiert, schwache HF-Signale (Signale im Hochfrequenzbereich (HF) von 9 kHz bis etwa 30 GHz) möglichst rauscharm zu verstärken, allerdings können auch hier durchaus große Leistungen am Eingang auch bei Frequenzen außerhalb der ei-

gentlichen Empfangsfrequenz auftreten, z. B. durch ungewollte Kopplungen, Reflektionen des Leistungsverstärkers oder starke Störsignale (Jammer). Diese können die Funktionstüchtigkeit des Empfängers temporär oder permanent negativ beeinflussen.

[0005] Um das empfindliche und wichtige Bauteil zu schützen, kommen bei herkömmlichen GaAs LNA Limiterdioden (Dioden, Zehnerdioden) als Begrenzungsschalter am Eingang zum Einsatz, diese können allerdings nicht monolithisch integriert werden und erfordern einen zweiten Chip. GaN HEMT hingegen sind nicht zwingend auf externe Begrenzungsschaltungen angewiesen, da sie durch die hohe Durchbruchsspannung weitaus höhere Leistungen tolerieren können. Diese liegen üblicherweise im Bereich von 10 W. Allerdings können auch Werte bis 30 W erreicht werden, falls ein hochohmiger Widerstand am Gate verwendet wird (M. Rudolph et al., „Robust Stacked GaN-Based Low-Noise Amplifier MMIC for Receiver Applications“, IEEE Trans. Microwave Theory Tech., Bd. 1, Nr. 55, pp. 37-43, Jan 2007). Im Überlastfall wird der Gatestrom durch diesen Serienwiderstand begrenzt, der auftretende Spannungsabfall über diesem bewirkt dabei jedoch eine Verschiebung des Arbeitspunktes des Transistors in einen tiefen Klasse C Betrieb bei gleichzeitig steigenden negativen Gatespannungen.

[0006] Bei hohen Eingangsleistungen sind die Spannungsamplituden am Eingang des Transistors allerdings so groß, dass sich ein Durchflussstrom am Gate einstellt. Dieser Gatestrom wirkt sich besonders schädlich auf die Robustheit bzw. die Lebensdauer des Transistors aus (M. Broasa et al. „Correlation of gate leakage and strain distribution in GaN/AlGaIn HEMT structures“, in 27th European Symposium on Reliability of Electron Devices, failure physics and analysis (ESREF), Halle (Saale), Germany, 2016). Der Durchflussstrom wird üblicherweise durch den besagten hochohmigen Widerstand im Gate-Versorgungsnetzwerk verringert.

[0007] Die durch den fließenden Strom über den Widerstand abfallende Spannung ist dabei so gepolt, dass sich am Gate negativere Spannungen einstellen, die wiederum den Transistor weiter in den Pinch-off treiben und ihn dadurch auf Kosten von erhöhten negativen Sperrspannungen vor hohen Gateströmen schützen (GB 2 165 114 A).

[0008] Allerdings ist es mit dieser Methode nicht möglich den Gatestrom vollständig abzuregeln, sondern lediglich zu reduzieren. Mit steigenden Eingangsleistungen erhöht sich somit auch weiterhin der Durchlassstrom am Gate.

[0009] Weitere Möglichkeiten zur Begrenzung des Gatestroms eines FET sind aus den Druckschriften US 4 701 643 A und US 2014 / 0 015 591 A1 bekannt.

Offenbarung der Erfindung

[0010] Es ist daher eine Aufgabe der vorliegenden Erfindung, eine Schaltungsanordnung zur Begrenzung des Gatestroms an einem Feldeffekttransistor zur Verfügung zu stellen, mit dessen Hilfe der Durchlassstrom im eingangsseitigen Überlastfall effektiv begrenzt wird. Insbesondere soll auch bei sehr hohen Eingangsleistungen der Durchlassstrom am Gate begrenzt werden und sich nicht weiter erhöhen.

[0011] Diese Aufgaben werden erfindungsgemäß durch die Merkmale des Patentanspruches 1 gelöst. Zweckmäßige Ausgestaltungen der Erfindung sind in den jeweiligen Unteransprüchen enthalten. Des Weiteren werden darauf basierend eine Verstärkerschaltung und ein Gerät zum Empfang von Mikrowellensignalen vorgeschlagen.

[0012] Eine erfindungsgemäße Schaltungsanordnung zur Begrenzung des Gatestroms an einem Feldeffekttransistor, FET, umfasst einen ersten FET und ein mit einem Gate-Anschluss des ersten FET verbundenes Gleichspannungs-Versorgungsnetzwerk; wobei das Versorgungsnetzwerk über eine erste Verbindung, welche einen hochohmigen Widerstand R_1 und einen dazu in Reihe geschalteten zweiten FET mit einem Gate-Anschluss umfasst, eine Spannung V_{gg} (Gatespannung, auch als Gate-AN-Spannung, Hilfsspannung oder Gate-Bias-Spannung bezeichnet) am Gate-Anschluss des ersten FET bereitstellt; wobei der zweite FET einen AN-Zustand bei einer Gate-Source-Spannung von 0 V aufweist und dessen Gate-Anschluss über eine zweite Verbindung parallel zum Widerstand R_1 ebenfalls mit dem Gate-Anschluss des ersten FET verbunden ist; wobei ein am Widerstand R_1 auftretender Spannungsabfall zu einer zunehmenden Sperrung des zweiten FET führt.

[0013] Als hochohmig werden dabei insbesondere Widerstände mit mehreren tausend Ohm angesehen. Vorzugsweise hat der Widerstand R_1 zwischen 1 k Ω und 10 M Ω , bevorzugter zwischen 1 k Ω und 1 M Ω , bevorzugter zwischen 1 k Ω und 100 k Ω , bevorzugter zwischen 1 k Ω und 10 k Ω , und noch bevorzugter zwischen 5 k Ω und 10 k Ω . Kleinere hochohmige Widerstände im Versorgungsnetzwerk ermöglichen dabei geringere Entlade- bzw. Aufladezeiten (Zeitkonstanten) und tragen somit zu einer schnelleren Erholung des ersten Transistors nach einem Überlastszenario bei (der ursprüngliche Bias des Versorgungspunktes wird schneller wiederhergestellt). Für die vorgeschlagene Beschaltung ist im Prinzip jede Art von Feldeffekttransistor mit einem AN-Zustand bei einer Gate-Source-Spannung von 0 V geeignet. Vorzugsweise sind die erste Verbindung und die zweite Verbindung ohne weitere Schaltelemente mit dem Gate-Anschluss des ersten FET verbunden. Abschnittsweise können die erste Verbindung und die zweite Verbindung auch als gemeinsame Verbindung ausgeführt

sein. Unter einer Verbindung wird dabei insbesondere eine elektrische Leiterbahn bzw. allgemein ein elektrischer Leiter bzw. eine Leitung zur Verbindung von elektronischen Bauelementen verstanden. Vorzugsweise umfasst die Verbindung des Versorgungsnetzwerks an den Gate-Anschluss des ersten FET keine weiteren als die in dieser Anmeldung als erfindungsgemäß benannten Elemente. Bevorzugt basiert der erste FET auf GaN-Technologie, welche aufgrund der höheren Bandlücke und einer damit einhergehenden hohen Sperrspannung sowie der höheren Stromtragfähigkeit erheblich größere Leistungen erzielen kann, ohne dabei in anderen elektrischen Parametern wie der Rauschzahl nennenswerte Nachteile aufzuweisen. Besonders bevorzugt handelt es sich bei dem FET um einen HEMT. Eine erfindungsgemäße Schaltungsanordnung ist insbesondere zum Aufbau einer analogen LNA-Verstärkerschaltung mit hohen Eingangsleistungen geeignet.

[0014] Die Erfindung beschreibt somit eine Modifikation im Gleichspannungs-Versorgungsnetzwerk eines FET mit dessen Hilfe der Durchlassstrom im eingangsseitigen Überlastfall durch eine stromabhängige adaptive Widerstandsregelung effektiv begrenzt wird. Die Begrenzungsschaltung besteht dabei im Wesentlichen aus dem zweiten FET (normal-AN, Verarmungstyp) und dem ersten Widerstand R_1 . Der Wert des Widerstandes R_1 bestimmt dabei zusammen mit der Schwellspannung des zweiten FET die Effektivität der Schaltung. Ein höherer Widerstand führt zu einer stärkeren Überstromunterdrückung, wobei allerdings die Zeitkonstante des Versorgungsnetzwerkes herabgesetzt wird.

[0015] Es handelt sich hierbei um eine einfache Feedbackschleife. Dabei wird der vorhandene Gatewiderstand jedoch nicht wie üblich als Strombegrenzung genutzt, sondern über die abfallende Spannung bei fließendem Gatestrom wird eine Steuerspannung erzeugt, welche wiederum den in Serie liegenden zweiten FET (Verarmungsmodus, normal-AN) zunehmend sperrt. Dies lässt sich mit einem variablen Widerstand im Versorgungsnetzwerk vergleichen, dessen Wert sich mit steigendem Gatestrom stetig erhöht und dadurch eine effektive Begrenzung des Stromes darstellt, der dann weitestgehend unabhängig von der am ersten FET anliegenden HF-Eingangsleistung ist.

[0016] Diese Anordnung wirkt sich im Vergleich weder negativ auf das Kleinsignalverhalten, die Rauschzahl eines damit aufgebauten Verstärkers noch auf die auftretenden Sperrspannungen auf. Simulationen veranschaulichen, dass bei gleichbleibenden Widerstandswerten eine ca. 20-fache Stromreduktion für hohe Eingangsleistungen (44 dBm) möglich ist und der Strom effektiv begrenzt wird, wobei dessen Höhe sich aus dem gewählten Widerstandswert des ersten Widerstandes R_1 und der Schwellenspannung des

zweiten FET bestimmt. Bei einem gleichbleibenden Schutzverhalten ist es zudem möglich, einen geringeren Widerstand zu wählen, wodurch sich die Zeitkonstante des Versorgungsnetzwerkes verringert und dadurch auch kürzere Erholungszeiten eines LNA nach einem Überlastszenario erzielt werden können.

[0017] Ein weiterer Vorteil gegenüber Begrenzungsschaltungen für den Gatestrom auf der Basis von Dioden besteht für analoge Verstärker darin, dass der höchste tolerierbare Gatestrom frei gewählt werden kann und sich aus dem Widerstandswert des ersten Widerstands R_1 sowie der Pinch-Off Spannung des zweiten FET bestimmt. Eine erfindungsgemäße Schaltungsanordnung ist weitestgehend unabhängig von der Bauform des verwendeten zweiten FET. Dieser muss lediglich in der Lage sein, Sperrspannungen zwischen Drain und Source zu tolerieren, welche auch mit der konventionellen Methode am Widerstand im Versorgungsnetzwerk anfallen.

[0018] Vorzugsweise ist zur HF-Entkopplung in der zweiten Verbindung ein zweiter hochohmiger Widerstand R_2 mit dem hochohmigen Widerstand R_1 parallel geschaltet. Vorzugsweise hat der Widerstand R_2 zwischen 1 k Ω und 10 M Ω , bevorzugter zwischen 1 k Ω und 1 M Ω , bevorzugter zwischen 1 k Ω und 100 k Ω , und noch bevorzugter zwischen 1 k Ω und 10 k Ω .

[0019] Vorzugsweise sind zur HF-Entkopplung die erste Verbindung und die zweite Verbindung über eine gemeinsame Induktivität L (als Drossel) mit dem Gate-Anschluss des ersten FET verbunden. Eine Verbindung über eine gemeinsame Induktivität bedeutet dabei, dass zumindest in einem Abschnitt die erste Verbindung und die zweite Verbindung auch als gemeinsame Verbindung ausgeführt sind, wobei dieser Abschnitt eine Induktivität L aufweist bzw. ein induktives Element mit einem Induktivitätswert L umfasst. Die Induktivität L wird dabei als Element des Versorgungsnetzwerkes aufgefasst. Deren Größe richtet sich in einer Verstärkerschaltung beispielsweise nach der Betriebsfrequenz des Verstärkers. Bevorzugt hat die Induktivität L zwischen 1 nH und 10 mH, bevorzugter zwischen 10 nH und 1 mH und noch bevorzugter zwischen 10 nH und 100 μ H.

[0020] Vorzugsweise ist der erste FET ein GaN oder GaAs HF Leistungs-HEMT. Die GaN HEMT Technologie zeichnet sich aufgrund der großen Bandlücke und der damit hohen Durchbruchspannung als robuste Technologie für den HF-Leistungsbereich aus, allerdings haben sich vor allem Durchflussströme, die sich bei hohen Eingangsleistungen einstellen als besonders schädlich für deren Lebensdauer erwiesen. Eine erfindungsgemäße Schaltungsanordnung ist hingegen in der Lage, diesen Strom effektiv zu begrenzen. Zudem wird das Kleinsignal- und Rauschverhalten nicht beeinflusst, so dass insbesondere besonders robuste und störunempfindliche LNA

für den Hochleistungsbereich damit realisiert werden können. Ein auf GaAs HEMT Technologie basierender erster FET kann mit leichten Einschränkungen jedoch ebenfalls in einer erfindungsgemäßen Schaltungsanordnung verwendet werden.

[0021] Vorzugsweise sind der erste FET und der zweite FET monolithisch auf einem Chip integriert. Dadurch lassen sich besonders kompakte und robuste LNA realisieren sowie deren Frequenzbandbreite erhöhen. Weiterhin können dadurch die Herstellung von LNA vereinfacht und deren Aufbaukosten reduziert werden.

[0022] Alternativ können der erste FET und der zweite FET jedoch auch auf verschiedenen Chips angeordnet sein. Obwohl dieses im Allgemeinen höhere Aufbaukosten und Verluste bedeutet, kann durch solch einen hybriden Ansatz eine größere Flexibilität in der Abstimmung der einzelnen Schaltungselemente erreicht werden.

[0023] Vorzugsweise umfasst die Schaltungsanordnung keine Dioden oder Zehnerdioden zur Begrenzung des Gatestroms am ersten FET. Diese kommen üblicherweise bei LNA als Limiterdioden am Eingang zum Einsatz, um das empfindliche und wichtige Bauteil zu schützen. Diese können allerdings nicht monolithisch integriert werden und erfordern einen zweiten Chip.

[0024] Ein weiterer Aspekt der Erfindung betrifft eine Verstärkerschaltung, welche eine Schaltungsanordnung nach einem der Ansprüche 1 bis 7 umfasst, wobei eine zu verstärkende Eingangsleistung P_{in} über eine mit dem Gate-Anschluss des ersten FET verbundene dritte Verbindung in den ersten FET eingespeist wird. Hierbei kann es sich insbesondere um eine analoge LNA-Verstärkerschaltung handeln.

[0025] Noch ein weiterer Aspekt der Erfindung betrifft ein Gerät zum Empfang von Mikrowellensignalen, welches eine Verstärkerschaltung nach Anspruch 8 umfasst. Bei diesen Mikrowellensignalen kann es sich insbesondere um Signale zur Datenübertragung (z. B. 5G) oder für Radarapplikationen sowohl in zivilen wie auch in militärischen Einsatzgebieten handeln.

[0026] Weitere bevorzugte Ausgestaltungen der Erfindung ergeben sich aus den in den Unteransprüchen genannten Merkmalen.

[0027] Die verschiedenen in dieser Anmeldung genannten Ausführungsformen der Erfindung sind, sofern im Einzelfall nicht anders ausgeführt, mit Vorteil miteinander kombinierbar.

Figurenliste

[0028] Die Erfindung wird nachfolgend in Ausführungsbeispielen anhand der zugehörigen Zeichnung erläutert. Es zeigen:

Fig. 1 eine schematische Darstellung einer herkömmlichen Schaltungsanordnung zur Begrenzung des Gatestroms in einer Verstärkerschaltung,

Fig. 2 eine schematische Darstellung einer ersten Ausführungsform einer erfindungsgemäßen Schaltungsanordnung zur Begrenzung des Gatestroms in einer Verstärkerschaltung,

Fig. 3 eine schematische Darstellung einer zweiten Ausführungsform einer erfindungsgemäßen Schaltungsanordnung zur Begrenzung des Gatestroms in einer Verstärkerschaltung,

Fig. 4 eine schematische Darstellung einer dritten Ausführungsform einer erfindungsgemäßen Schaltungsanordnung zur Begrenzung des Gatestroms in einer Verstärkerschaltung, und

Fig. 5 verschiedene Kennkurven zum Vergleich einer herkömmlichen Strombegrenzerschaltung und eine erfindungsgemäßen Strombegrenzerschaltung.

Ausführliche Beschreibung der Zeichnungen

[0029] **Fig. 1** zeigt eine schematische Darstellung einer herkömmlichen Schaltungsanordnung zur Begrenzung des Gatestroms in einer Verstärkerschaltung. Diese umfasst einen in seinem Gatestrom zu begrenzenden FET **10** und ein mit einem Gate-Anschluss **12** des FET **10** verbundenes Gleichspannungs-Versorgungsnetzwerk **20**; wobei das Versorgungsnetzwerk **20** über eine Verbindung **22**, welche einen hochohmigen Widerstand R_1 220 umfasst, eine Spannung V_{gg} am Gate-Anschluss **12** des FET **10** bereitstellt; wobei ein am Widerstand R_1 220 auftretender Spannungsabfall zu einer zunehmenden Reduzierung des Gatestroms am FET **10** führt. Bei der beispielhaft gezeigten Verstärkerschaltung wird eine zu verstärkende Eingangsleistung P_{in} über eine dritte Verbindung **30**, welche mit dem Gate-Anschluss **12** des ersten FET **10** verbunden ist, in den ersten FET **10** eingespeist.

[0030] Bei hohen Eingangsleistungen P_{in} sind die Spannungsamplituden am Eingang des FET **10** allerdings so groß, dass sich ein Durchflussstrom am Gate-Anschluss **12** einstellt. Dieser wirkt sich besonders schädlich auf die Robustheit bzw. Lebensdauer des FET **10** aus und wird durch den hochohmigen Widerstand R_1 220 im Versorgungsnetzwerk **20** verringert. Die durch den fließenden Strom über den Widerstand R_1 220 abfallende Spannung ist dabei so gepolt, dass sich am Gate-Anschluss **12** negativere Spannungen einstellen, die wiederum den FET **10** weiter

in den Pinch-off treiben und ihn dadurch auf Kosten von erhöhten negativen Sperrspannungen vor hohen Gateströmen schützen. Allerdings ist es mit dieser Methode nicht möglich den Gatestrom abzuregeln, sondern lediglich zu reduzieren. Mit steigenden Eingangsleistungen P_{in} erhöht sich somit auch weiterhin der Durchlassstrom am Gate-Anschluss **12**.

[0031] **Fig. 2** zeigt eine schematische Darstellung einer ersten Ausführungsform einer erfindungsgemäßen Schaltungsanordnung zur Begrenzung des Gatestroms in einer Verstärkerschaltung. Diese umfasst einen in seinem Gatestrom zu begrenzenden ersten FET **10** und ein mit einem Gate-Anschluss **12** des ersten FET **10** verbundenes Gleichspannungs-Versorgungsnetzwerk **20**; wobei das Versorgungsnetzwerk **20** über eine erste Verbindung **22**, welche einen hochohmigen Widerstand R_1 220 und einen dazu in Reihe geschalteten zweiten FET **222** mit einem Gate-Anschluss **224** umfasst, eine Spannung V_{gg} am Gate-Anschluss **12** des ersten FET **10** bereitstellt; wobei der zweite FET **222** einen AN-Zustand bei einer Gate-Source-Spannung von 0 V aufweist und dessen Gate-Anschluss **224** über eine zweite Verbindung **24** parallel zum Widerstand R_1 220 ebenfalls mit dem Gate-Anschluss **12** des ersten FET **10** verbunden ist; wobei ein am Widerstand R_1 220 auftretender Spannungsabfall zu einer zunehmenden Sperrung des zweiten FET **222** führt. Bei der beispielhaft gezeigten erfindungsgemäßen Verstärkerschaltung wird eine zu verstärkende Eingangsleistung P_{in} über eine dritte Verbindung **30**, welche mit dem Gate-Anschluss **12** des ersten FET **10** verbunden ist, in den ersten FET **10** eingespeist.

[0032] Über die am ersten Widerstand R_1 220 abfallende Spannung bei fließendem Gatestrom wird eine Steuerspannung erzeugt, welche den in Serie liegenden FET (Verarmungsmodus, normal-AN) zunehmend sperrt. Dies lässt sich mit einem variablen Widerstand im Versorgungsnetzwerk vergleichen, dessen Wert sich mit steigendem Gatestrom stetig erhöht und dadurch eine effektive Begrenzung des Stromes darstellt, der weitestgehend unabhängig von der anliegenden Eingangsleistung P_{in} ist. Bei dem ersten FET **10** kann es sich insbesondere um einen GaN HF Leistungs-HEMT handeln, wobei der erste FET **10** und der zweite FET **222** monolithisch auf einem Chip integriert sein können.

[0033] **Fig. 3** zeigt eine schematische Darstellung einer zweiten Ausführungsform einer erfindungsgemäßen Schaltungsanordnung zur Begrenzung des Gatestroms. Der grundlegende Schaltungsaufbau entspricht der in **Fig. 2** gezeigten Ausführungsform. Daher gelten die Bezugszeichen und deren jeweilige Zuordnung zu den einzelnen Merkmalen entsprechend. Zur HF-Entkopplung ist jedoch in der zweiten Verbindung **24** ein zweiter hochohmiger Widerstand R_2 240 mit dem hochohmigen Widerstand R_1 220 par-

allel geschaltet ist. Eine HF-Entkopplung bei der Begrenzung des Gatestroms erfolgt somit erfindungsgemäß über zwei hochohmige Widerstände R_1 220 und R_2 240, wobei am in Serie zum zweiten FET 222 liegenden Widerstand R_1 220 eine Spannung abfällt, welche den zweiten FET 222 zunehmend sperrt und dadurch den Gatestrom des ersten FET 10 begrenzt.

[0034] Fig. 4 zeigt eine schematische Darstellung einer dritten Ausführungsform einer erfindungsgemäßen Schaltungsanordnung zur Begrenzung des Gatestroms. Der grundlegende Schaltungsaufbau entspricht der in Fig. 2 gezeigten Ausführungsform. Daher gelten die Bezugszeichen und deren jeweilige Zuordnung zu den einzelnen Merkmalen entsprechend. Zur HF-Entkopplung sind jedoch die erste Verbindung 22 und die zweite Verbindung 24 über eine gemeinsame Induktivität L 26 mit dem Gate-Anschluss des ersten FET 10 verbunden. Eine HF-Entkopplung bei der Begrenzung des Gatestroms erfolgt somit erfindungsgemäß über eine mit dem Gate-Anschluss 12 des ersten FET 10 verbundene Induktivität L. Der Widerstand R_1 dient hierbei lediglich zur Erzeugung einer negativen Sperrspannung am Gate-Source des im Versorgungsnetzwerk 20 liegenden zweiten FET 222.

[0035] Fig. 5 zeigt verschiedene Kennkurven zum Vergleich einer herkömmlichen Strombegrenzerschaltung und eine erfindungsgemäßen Strombegrenzerschaltung.

[0036] Dabei zeigt die Figur a) einen linear und die Figur b) einen logarithmisch skalierten Vergleich zwischen dem auftretenden Gatestrom (in Ampere (A)) bei einer herkömmlichen Widerstandsbeschaltung zur Begrenzung des Gatestroms nach Fig. 1 (unterbrochener Kurvenverlauf) und einer erfindungsgemäßen Schaltungsanordnung nach Fig. 3 (durchgehender Kurvenverlauf), jeweils in Abhängigkeit von der Eingangsleistung P_{in} (in Dezibel Milliwatt (dBm)). Es ist deutlich zu erkennen, dass bei der erfindungsgemäßen Ausführungsform eine weitgehende Abregelung des Gatestroms ermöglicht wird, wobei der maximal zulässige Gatestrom durch Anpassung des ersten Widerstands R_1 ausgewählt werden kann.

[0037] Die Fig. c) und d) zeigen jeweils die Sperrspannung am Gate des ersten FET und den Spannungsabfall über dem ersten Widerstand R_1 bei einer herkömmlichen Widerstandsbeschaltung zur Begrenzung des Gatestroms nach Fig. 1 (unterbrochener Kurvenverlauf) und einer erfindungsgemäßen Schaltungsanordnung nach Fig. 3 (durchgehender Kurvenverlauf), jeweils in Abhängigkeit von der Eingangsleistung P_{in} (in Dezibel Milliwatt (dBm)). Die abfallende Spannung am ersten Widerstand R_1 in der konventionellen Beschaltung unterscheidet sich nicht von der auftretenden Spannung über dem ersten FET

(V_{ds}) und stellt speziell für die GaN Technologie somit keinerlei Herausforderung dar.

Bezugszeichenliste

10	erster FET
12	Gate-Anschluss (erster FET)
20	Versorgungsnetzwerk
22	erste Verbindung
220	hochohmiger Widerstand R_1
222	zweiter FET
224	Gate-Anschluss (zweiter FET)
24	zweite Verbindung
240	zweiter hochohmiger Widerstand R_2
26	Induktivität L
30	dritte Verbindung

Patentansprüche

1. Schaltungsanordnung zur Begrenzung des Gatestroms an einem Feldeffekttransistor, FET, umfassend einen ersten FET (10) und ein mit einem Gate-Anschluss (12) des ersten FET (10) verbundenes Gleichspannungs-Versorgungsnetzwerk (20); wobei das Versorgungsnetzwerk (20) über eine erste Verbindung (22), welche einen hochohmigen Widerstand R_1 (220) und einen dazu in Reihe geschalteten zweiten FET (222) mit einem Gate-Anschluss (224) umfasst, eine Spannung V_{gg} am Gate-Anschluss (12) des ersten FET (10) bereitstellt; wobei der zweite FET (222) einen AN-Zustand bei einer Gate-Source-Spannung von 0 V aufweist und dessen Gate-Anschluss (224) über eine zweite Verbindung (24) parallel zum Widerstand R_1 (220) ebenfalls mit dem Gate-Anschluss (12) des ersten FET (10) verbunden ist; wobei ein am Widerstand R_1 (220) auftretender Spannungsabfall zu einer zunehmenden Sperrung des zweiten FET (222) führt.

2. Schaltungsanordnung nach Anspruch 1, wobei zur HF-Entkopplung in der zweiten Verbindung (24) ein zweiter hochohmiger Widerstand R_2 (240) mit dem hochohmigen Widerstand R_1 (220) parallel geschaltet ist.

3. Schaltungsanordnung nach Anspruch 1 oder 2, wobei zur HF-Entkopplung die erste Verbindung (22) und die zweite Verbindung (24) über eine gemeinsame Induktivität L (26) mit dem Gate-Anschluss des ersten FET (10) verbunden sind.

4. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, wobei der erste FET (10) ein GaN oder GaAs HF Leistungs-HEMT ist.

5. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, wobei der erste FET (10) und der zweite FET (222) monolithisch auf einem Chip integriert sind.

6. Schaltungsanordnung nach einem der Ansprüche 1 bis 4, wobei der erste FET (10) und der zweite FET (222) auf verschiedenen Chips angeordnet sind.

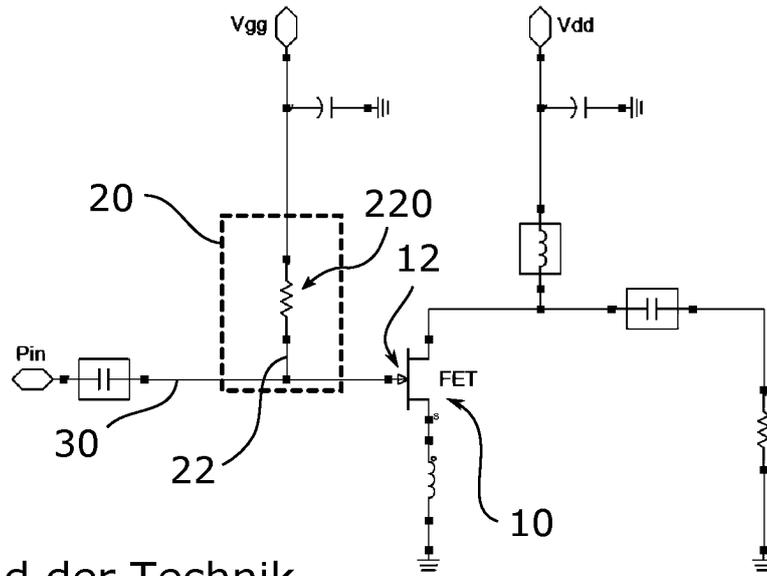
7. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, wobei das Versorgungsnetzwerk (20) keine Dioden oder Zehnerdioden zur Begrenzung des Gatestroms am ersten FET (10) umfasst.

8. Verstärkerschaltung, eine Schaltungsanordnung nach einem der vorhergehenden Ansprüche umfassend, wobei eine zu verstärkende Eingangsleistung P_{in} über eine mit dem Gate-Anschluss (12) des ersten FET (10) verbundene dritte Verbindung (30) in den ersten FET (10) eingespeist wird.

9. Gerät zum Empfang von Mikrowellensignalen, eine Verstärkerschaltung nach Anspruch 8 umfassend.

Es folgen 3 Seiten Zeichnungen

Anhängende Zeichnungen



Stand der Technik

FIG. 1

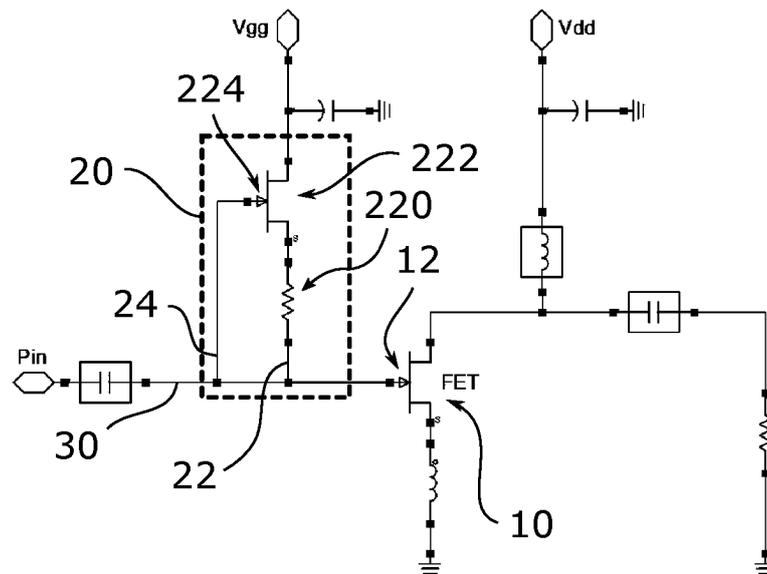


FIG. 2

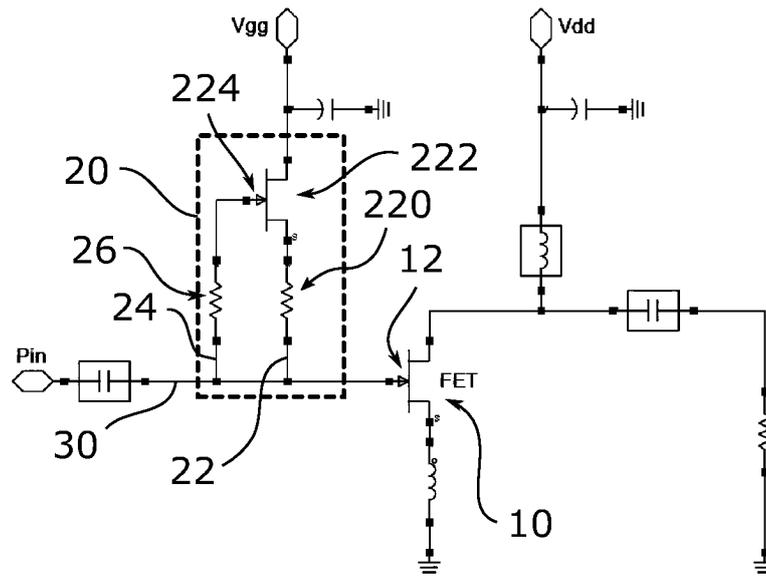


FIG. 3

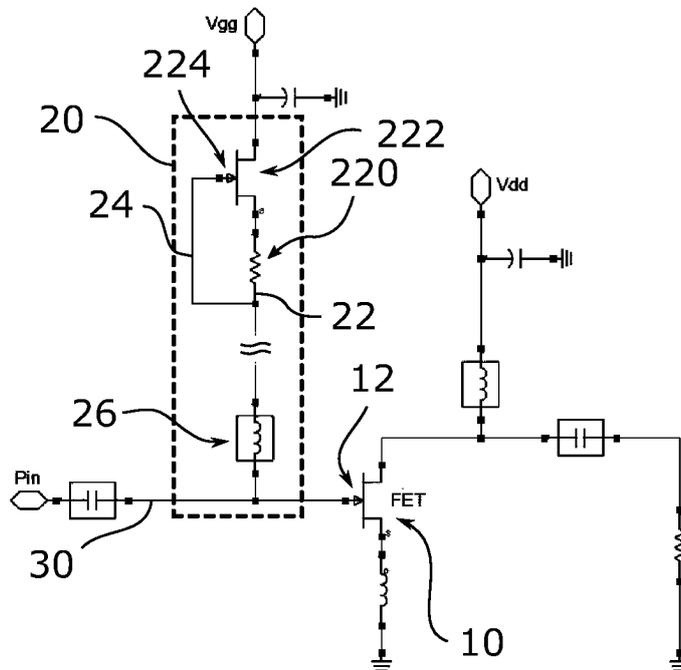


FIG. 4

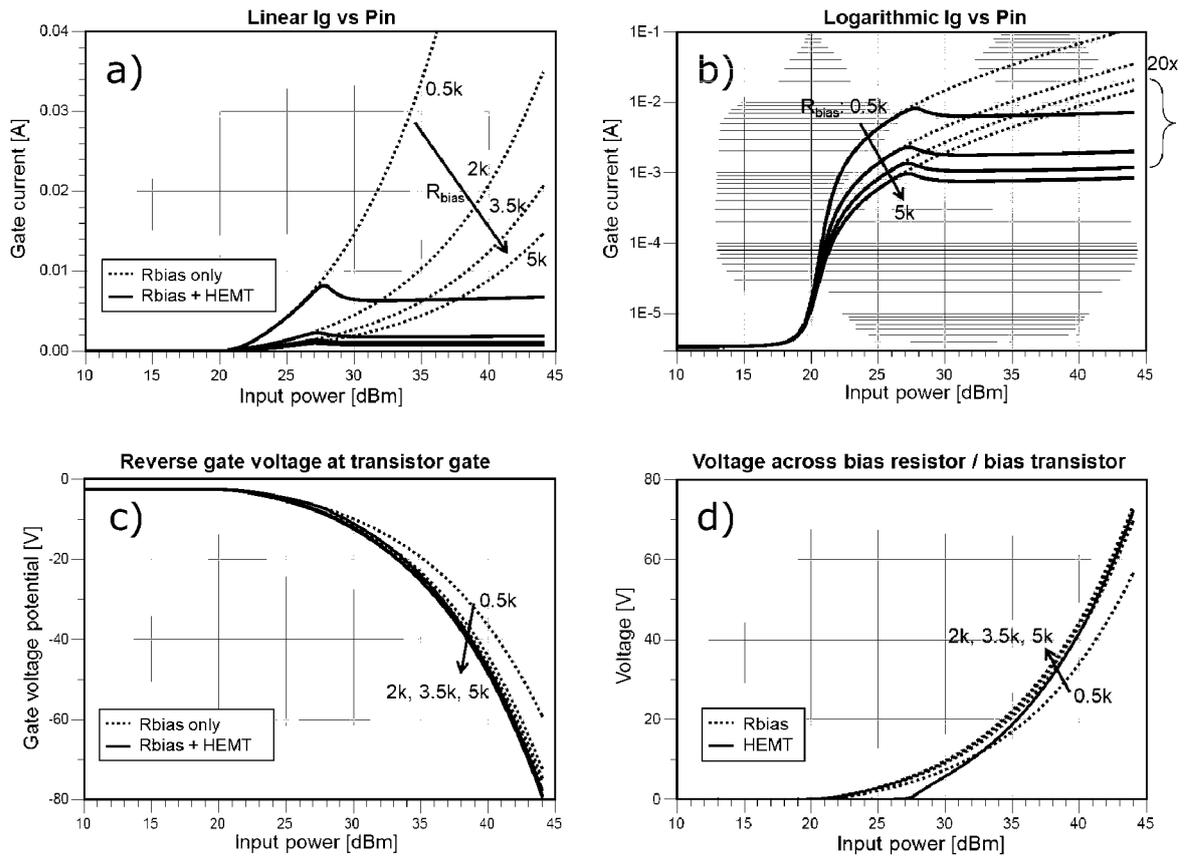


FIG. 5