



(10) **DE 10 2012 207 501 B4** 2017.03.02

(12)

## Patentschrift

(21) Aktenzeichen: **10 2012 207 501.1**  
(22) Anmeldetag: **07.05.2012**  
(43) Offenlegungstag: **07.11.2013**  
(45) Veröffentlichungstag  
der Patenterteilung: **02.03.2017**

(51) Int Cl.: **H01L 23/62 (2006.01)**  
**H01L 29/78 (2006.01)**  
**H01L 29/861 (2006.01)**

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:  
**Forschungsverbund Berlin e.V., 12489 Berlin, DE**

(74) Vertreter:  
**Gulde & Partner Patent- und  
Rechtsanwaltskanzlei mbB, 10179 Berlin, DE**

(72) Erfinder:  
**Hilt, Oliver, Dr., 15566 Schöneiche, DE;  
Zhytnytska, Rimma, 10243 Berlin, DE; Würfl,  
Hans-Joachim, Dr., 15738 Zeuthen, DE**

(56) Ermittelter Stand der Technik:

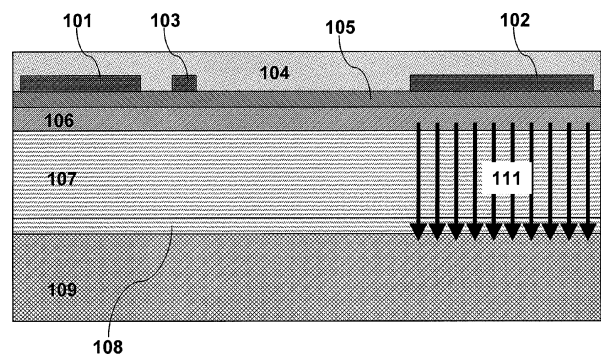
**US 2009 / 0 166 677 A1**  
**US 2010 / 0 207 164 A1**  
**US 2012 / 0 074 577 A1**

**Buffer Thickness Contribution to Suppress  
Vertical Leakage Current with High Breakdown  
Field (2.3. MV/cm) for GaN on Si. In: IEEE Electron  
Device Letters, 2011, 1534-1536.**

(54) Bezeichnung: **Halbleiterschichtenstruktur**

(57) Hauptanspruch: Halbleiterschichtenstruktur mit einem Substrat (109), einer auf dem Substrat (109) aufgetragenen Pufferschicht (107) und einer auf der Pufferschicht (107) aufgetragenen aktiven Halbleiterschicht (106), mit einer durch Aufbringen einer Barrierschicht als Kanal ausgebildeten Schicht (105), und auf der Barrierschicht aufgetragenen Kontakten (101, 102, 103), wobei die Halbleiterschichtenstruktur ausgebildet ist, einen lateralen Stromfluss von einem der Kontakte (102) zu einem anderen der Kontakte (101, 103) durch die Schicht (105) zumindest in einer ersten Richtung dauerhaft oder temporär zu verhindern oder begrenzen, sofern ein Potenzial des einen der Kontakte (102) um weniger als eine Durchbruchspannungsschwelle von einem weiteren Potenzial des anderen der Kontakte (101, 103) abweicht, wobei

ein Potenzial des Substrats (109) dem weiteren Potenzial entspricht und durch nur in einem Bereich (112) des Substrats (109) selektiv in das Substrat (109) implantierte Isolationen eine Ableitspannungsschwelle geringer als die Durchbruchspannungsschwelle festgelegt ist, wobei Ladung von dem einen Kontakt durch die Pufferschicht (107) zum einem Substratgebiet ohne Isolationen hin abfließen kann, sofern das eine Potenzial mindestens um die Ableitspannungsschwelle von dem weiteren Potenzial abweicht, wobei das Substratgebiet ohne Isolationen unter dem einen Kontakt liegt.



**Beschreibung**

## Technisches Gebiet

**[0001]** Die Erfindung ist mit einer Halbleiterschichtenstruktur befasst. Im Einzelnen befasst sich die Erfindung mit einer Halbleiterschichtenstruktur, die eine Ableitung induktiv induzierter Spannungspulse in sperrenden aktiven Strukturen der Halbleiterschichtenstruktur ohne Schädigung der aktiven Strukturen ermöglicht.

## Stand der Technik

**[0002]** Beim Einsatz von Leistungstransistoren und Dioden als Schalter oder Verstärker mit induktiven Lasten müssen nach einem Ausschaltvorgang induktiv getriebene Ströme über die (sperrende) Transistor- oder Diodenstruktur abgeleitet werden ohne selbige zu schädigen. Da die induktiv getriebenen Ströme die sperrende aktive Struktur nicht passieren können, baut sich an ihr eine hohe Spannung auf, um den Stromfluss zu erzwingen. Während zum Beispiel Si-basierte Leistungstransistoren bis zu einer bestimmten Energie einen derartigen Spannungs- bzw. Strompuls tolerieren, bzw. die Pulsenergie dissipieren können (Avalanche-Festigkeit), führt dies in anderen aktiven Strukturen, zum Beispiel in GaN-basierten lateralen Transistoren (HFETs), schon bei sehr geringen Pulsenergien zu einer Schädigung des Bauelements.

**[0003]** Fig. 1 zeigt den schematischen Querschnitt eines derartigen GaN-basierten HFETs nach dem Stand der Technik. Im nicht sperrenden Betrieb wird nur ein Stromfluss im, typischerweise weniger als 100 nm dicken, Transistorkanal **106** benötigt. Die unter dem Transistorkanal **106** liegende, auch als Pufferschicht bezeichnete Puffer-Halbleiterschicht **107** ist mit typischerweise  $> 1 \mu\text{m}$  Schichtdicke wesentlich dicker als der Kanal **106**. Bei sperrendem Gate **103** und hoher Spannung am Drain-Kontakt **102** fließen Leckströme **110** zwischen Drain-Kontakt und Gate-Kontakt **103** bzw. Drain-Kontakt und Source-Kontakt **101**. Bei Erhöhung der Spannung am Drain-Kontakt **102** aufgrund eines induktiv getriebenen Stroms steigt der Leckstrom entlang der Strompfade **110** stark an, um die Energie des Pulses innerhalb oder unterhalb des Transistorkanals **106** zu dissipieren, also zu verteilen oder auszubreiten. Wegen des nur wenige nm dicken Transistorkanals **106** eines GaN-HFETs liegt dann eine hohe Leistungsdichte vor, die zur Schädigung des Bauelements führen kann. Zusätzlich liegt im Transistorkanal **106** eine stark inhomogene Feldverteilung mit ausgeprägten Maxima am Gate und am Drain vor. Dies erhöht zusätzlich die Leistungsdichte an diesen Positionen.

**[0004]** Die Spannungsfestigkeit eines gesperrten GaN-HFETs auf leitfähigem Substrat **109** wird ers-

tens durch den lateralen Leckstrom vom Drain-Kontakt **102** zum Source-Kontakt **101** oder Gate-Kontakt **103** innerhalb des Transistorkanals **106** und zweitens durch den vertikalen Leckstrom vom Drain-Kontakt **102** durch die Halbleiterschichten **105**, **106**, **107** und **108** hindurch zum Substrat **109** begrenzt.

**[0005]** In DE 10 2009 018 054 A1 werden zum Schutz lateraler Bauelemente an unterschiedlichen Stellen im Halbleiterstapel lateral abgegrenzte p-dotierte GaN- oder Si-Halbleitergebiete offenbart. Die dadurch erzeugten pn-Übergänge sollen die Energie der Strom/Spannungsspitzen aufnehmen. Die Energie wird dabei lateral unterhalb des Transistorkanals dissipiert oder innerhalb einer pn-Diodenstruktur im Si-Substrat.

**[0006]** In DE 11 2007 001 762 T5 wird eine separate Schutzstruktur zum Schutz eines Bauelements mit weiter Bandlücke vor Spannungstransienten offenbart, wobei die separate Schutzstruktur die Spannungsspitzen auffängt.

**[0007]** In US 7 250 641 B2 wird eine p-Typ GaN-Schicht beschrieben, die mit dem Si-Substrat eine pin-Diode formt, so dass bei einem Lawinendurchbruch erzeugte Löcher sich zwischen der Drainelektrode und dem Si-Substrat entladen können und so das (laterale) Bauelement nicht zerstört wird.

**[0008]** US 2010/0207164 A1 betrifft einen Feldefekttransistor, der in einer Aufwärtsrichtung auf einem leitfähigen Substrat eine erste Nitridhalbleiterschicht und eine zweite Nitridhalbleiterschicht mit einer Bandlücke, die größer ist als die der ersten Nitridhalbleiterschicht, umfasst sowie eine Source-Elektrode und eine Drain-Elektrode, die elektrisch mit einer zweidimensionalen Elektronengasschicht verbunden sind und eine Gate-Elektrode umfasst.

## Erfindung

**[0009]** Die Erfindung schlägt vor, an Stelle der nach dem Stand der Technik zwischen einer p-Schicht und dem Si-Substrat aufgrund eines pn-Übergangs entstehenden Raumladungszone eine Pufferschicht als spannungsfestigkeitsbegrenzendes Element zu verwenden.

**[0010]** Im Einzelnen wird eine Halbleiterschichtenstruktur nach Anspruch 1 mit einem Substrat und einer auf dem Substrat aufgetragenen Pufferschicht vorgeschlagen.

**[0011]** Erfindungsgemäß ist die Halbleiterschichtenstruktur dadurch gekennzeichnet, dass durch eine Stärke der Pufferschicht und/oder eine Ionenimplantation des Substrats eine Ableitspannungsschwelle festgelegt ist, die eine Spannung zwischen einer durch die Pufferschicht vom Substrat getrennten La-

ung und einem Potenzial des Substrats überschreiten muss, damit die Ladung durch die Pufferschicht zum Substrat hin abfließen kann.

**[0012]** Diese Struktur eignet sich besonders zum Tragen einer aktiven Halbleiterstruktur und ihrem Schutz vor Beschädigungen durch induktiv getriebene Ströme. Der erfindungsgemäße Ansatz ist, die vergleichsweise dicke Pufferschicht zur vertikalen Ableitung von Überspannungspulsen zum Substrat zu nutzen. Durch ihr großes Volumen entsteht dabei im Puffer nur eine geringe Leistungsdichte, so dass in einer derartigen Struktur wesentlich mehr Energie schädigungsfrei dissipiert werden kann als im Transistorkanal. Da das Halbleitervolumen des Puffers bereits in GaN-HFETs vorhanden ist, muss durch die Integration der vertikal stromleitenden Schutzstruktur keine zusätzliche Chipfläche eingesetzt werden.

**[0013]** In einer Ausführungsform ist auf der Pufferschicht eine aktive Halbleiterstruktur aufgebracht, wobei die aktive Halbleiterstruktur eine durch Aufbringen einer Barrierschicht als Kanal ausgebildeten Schicht und auf der Barrierschicht aufgebrachte Kontakte umfasst. Dabei ist die Halbleiterstruktur ausgebildet, einen Stromfluss von einem der Kontakte zu einem anderen der Kontakte durch die Schicht zumindest in einer ersten Richtung dauerhaft oder temporär zu verhindern oder zu begrenzen, sofern ein Potenzial des einen der Kontakte um weniger als eine Durchbruchspannungsschwelle von einem Potenzial des anderen der Kontakte abweicht. Die Halbleiterstruktur ist dadurch gekennzeichnet, dass das Potenzial des Substrats dem weiteren Potenzial des anderen der Kontakte entspricht und die Ableitspannungsschwelle geringer als die Durchbruchspannungsschwelle ist. So können induktiv induzierte Spannungen durch die Pufferschicht vertikal zum Substrat abgeleitet werden.

**[0014]** Weitere Ausführungsformen sind in den abhängigen Ansprüchen beschrieben.

#### Zeichnungen

**[0015]** Ausführungsbeispiele der Erfindung werden anhand der Zeichnungen und der nachfolgenden Beschreibung näher erläutert.

**[0016]** Es zeigen:

**[0017]** Fig. 1 einen schematischen Querschnitt eines GaN-basierten HFETs nach dem Stand der Technik und mögliche zerstörerische Strompfade,

**[0018]** Fig. 2 einen schematischen Querschnitt eines ersten Ausführungsbeispiels der Erfindung,

**[0019]** Fig. 3 eine Abhängigkeit eines Substratleckstroms von der Schichtstärke einer Pufferschicht

am Beispiel einer kohlenstoffdotierten GaN-Pufferschicht,

**[0020]** Fig. 4 einen schematischen Querschnitt eines zweiten Ausführungsbeispiels der Erfindung, und

**[0021]** Fig. 5 am Beispiel eines auf n-leitfähigem SiC-Substrat gewachsenen kohlenstoffdotierten GaN-Puffers die Abhängigkeit des vertikalen Leckstroms zum Substrat hin für ionenimplantiertes und nicht ionenimplantiertes Substratgebiet.

#### Ausführungsformen der Erfindung

**[0022]** Ein schematischer Querschnitt eines ersten Ausführungsbeispiels der erfindungsgemäßen Halbleiterschichtenstruktur ist in Fig. 2 dargestellt. Auf einem leitfähigen Substrat **109** sind eine optionale Anwachsschicht **108** und darauf eine auch als Puffer bezeichnete Puffer-Halbleiterschicht **107** angeordnet. Die Puffer-Halbleiterschicht **107** ist im Vergleich zu einer auf der Puffer-Halbleiterschicht **107** zur Ausbildung einer aktiven Struktur aufgebrachten Schicht **106** dick. Die aktive Struktur kann dabei zumindest als Diode oder Transistor ausgebildet werden.

**[0023]** Im dargestellten Beispiel stellt die Schicht **106** einen Transistorkanal eines GaN-HFETs dar, der neben der Schicht **106** noch eine auf der Schicht **106** angeordnete Barrierschicht **105** umfasst. Die Schicht **106** des beispielhaften GaN-HFET ist per se nicht leitfähig. Das für die Eignung als Transistorkanal notwendige zweidimensionale Elektronengas (2DEG) bildet sich in der Schicht **106** an der Grenze zur Barrierschicht **105** erst dann aus, wenn die Barrierschicht **105**, aus zum Beispiel AlGaIn im Falle eines GaN-HFETs, auf der Schicht **106** gewachsen ist. Als GaN-Dioden oder GaN-HFETs ausgebildete aktive Strukturen umfassen weiterhin auf der Barrierschicht **105** angeordnete Source- **101** und Drain-Kontakte **102**. Bei Ausbildung als Transistor ist zwischen Source- **101** und Drain-Kontakt **102** noch ein Gate-Kontakt **103** angeordnet. Im Beispiel aus Fig. 2 sind die aktiven Strukturen durch eine Passivierung **104** bedeckt und geschützt.

**[0024]** Die Stärke der Puffer-Halbleiterschicht **107** ist entsprechend ihrem vertikalen Stromleitfähigkeitsverhalten ausgewählt. Die Wahl ist so, dass sie oberhalb einer Ableitspannung innerhalb der Halbleiterstruktur des beispielhaften GaN-Transistors einen alternativen vertikalen Strompfad **111** zur Energiedissipation eröffnet. Der Strompfad liegt im dargestellten Beispiel zwischen einem ohmschen (Drain-)Kontakt **102** auf der Halbleiteroberfläche und dem leitfähigen und auf Source-Potenzial liegenden Substrat **109**, auf dem die Halbleiterschichten **108**, **107**, **106** und **105** gewachsen sind. Der Großteil des Spannungsabfalls zwischen Drain-Kontakt **102** und Substrat **109** soll dabei im GaN-basierten Puffer-Halbleiterschicht

**107** abfallen. Dabei kann die Pulsenergie innerhalb der Puffer-Halbleiterschicht **107** im großen Volumen desselbigen mit geringer Leistungsdichte dissipieren. Dieses Volumen ist durch die Pfeile **111** in **Fig. 2** gekennzeichnet. Zur Energiedissipation von induktiv getriebenen Strompulsen am Drain **102** eines geschlossenen GaN-HFETs muss daher nicht mehr der Strompfad **110** aus **Fig. 1** mit seiner hohen Leistungsdichte eingesetzt werden.

**[0025]** Alternativ kann das Substrat auf Drain-Potenzial liegen und der Strompfad **111** zwischen einem Source-Kontakt **101** und dem Substrat **109** vorhanden sein.

**[0026]** Durch Einstellung der Schichtdicke der Puffer-Halbleiterschicht **107** und/oder selektive Ionenimplantation des Substrats kann festgelegt werden, dass der alternative vertikale Strompfad **111** bereits bei Spannungen unterhalb der durch die lateralen Transistorabmessungen, wie zum Beispiel dem Gate-Drain-Abstand, festgelegten Durchbruchspannung des Transistors verfügbar wird. Alternativ oder zusätzlich kann festgelegt werden, dass der alternative vertikale Strompfad **111** erst oberhalb einer Arbeitsspannungsschwelle verfügbar wird, wobei im sperrenden Betrieb der aktiven Struktur die Arbeitsspannungsschwelle nicht dauerhaft überschritten wird.

**[0027]** Oberhalb der Arbeitsspannungsschwelle zeigt der Substratleckstrom durch die erfindungsgemäßen Halbleiterstrukturen **106 ... 108** in **Fig. 2** typischerweise einen exponentiellen (in allen Fällen jedoch superlinearen oder plötzlichen) Anstieg mit der Spannung.

**[0028]** **Fig. 3** zeigt die Abhängigkeit des vertikalen Leckstroms von der Dicke des Puffers und der Stärke der anliegenden Spannung am Beispiel eines kohlenstoffdotierten GaN-Puffers, wobei der vertikale Leckstrom durch den Puffer zum Substrat fließt. Die Messungen **114** bei einer Pufferschichtstärke von 3  $\mu\text{m}$  zeigen, dass der Substratleckstrom bis zu einer Spannung von 300 Volt vernachlässigbar und steigt bei Spannungen über 400 Volt stärker als linear an. Die Messungen **115** bei einer Pufferschichtstärke von 4  $\mu\text{m}$  zeigen, dass der Substratleckstrom bis zu einer Spannung von 500 Volt vernachlässigbar und erst bei Spannungen über 600 Volt stärker als linear ansteigt. Es ist eine Erhöhung der Sperrfähigkeit des 4  $\mu\text{m}$  starken Puffers um etwa 150–200 V gegenüber dem 3  $\mu\text{m}$  starken Puffer erkennbar.

**[0029]** **Fig. 4** zeigt beispielhaft, wie durch eine geeignete selektive Ionenimplantation der Substratgebiete **112** in einem Bereich, über dem in vertikaler Richtung der Drain-Kontakt **102** aufgebracht werden soll oder wird, auf Gebiete **113** außerhalb der aktiven Transistorstruktur verlagert werden kann und die-

se somit weiter geschützt wird. Auch können durch geeignete laterale Dimensionierung der implantierten Gebiete **112** und des Drain-Kontakts **102** die Position und das Volumen der Energiedissipation bestimmt werden, um zum Beispiel die lokale Erwärmung des Transistors zu kontrollieren.

**[0030]** Wird an den lateralen Positionen der Transistorstruktur vor dem Wachstum der Halbleiterschichten **107** und **108** das leitfähige Substrat **109** (zum Beispiel Si oder dotiertes SiC) an der Oberfläche isolationsimplantiert, kann der Substratleckstrom in der Halbleiterstruktur reduziert werden. Dabei erzeugt eine Implantation im Bereich von einigen 100 keV eine zusätzliche isolierende Schicht **112** im Substrat **109**.

**[0031]** **Fig. 5** zeigt am Beispiel eines kohlenstoffdotierten GaN-Puffers mit n-leitfähigem SiC als Substrat die Abhängigkeit des vertikalen Leckstroms zum Substrat hin von einer Argon-Implantation im Substrat und der Stärke der anliegenden Spannung. Hier ist erkennbar, dass mit Ar-Implantation, Messungen **116**, und ohne Ar-Implantation, Messungen **117**, oberhalb von 400 Volt der Substratleckstrom stark ansteigt, wobei mit Ar-Implantation (durch Quadrate gekennzeichnete Messpunkte) der Anstieg deutlich schwächer ist als ohne Ionenimplantation (durch Dreiecke gekennzeichnete Messpunkte), so dass die Sperrfähigkeit mittels geeigneter Ar-Implantation um mindestens 100 V erhöht werden kann. Die Wahl des implantierten Stoffs und der Dichte und der Energien, mit der der Stoff implantiert wird, erlauben die genaue Einstellung der Sperrfähigkeit und der Ableitspannung.

#### Bezugszeichenliste

<b>101</b>	Sourcekontakt
<b>102</b>	Drain-Kontakt
<b>103</b>	Gate-Kontakt
<b>104</b>	Passivierung
<b>105</b>	Barriere
<b>106</b>	Transistorkanal
<b>107</b>	Puffer-Halbleiterschicht
<b>108</b>	Anwachsschicht
<b>109</b>	leitfähiges Substrat auf Source-Potenzial
<b>110</b>	laterale Strompfade
<b>111</b>	vertikale Strompfade
<b>112</b>	isolationsimplantiertes Substrat
<b>113</b>	eingegrenzte vertikale Strompfade
<b>114</b>	Messkurven des vertikalen Leckstroms bei 3 $\mu\text{m}$ Pufferschichtstärke
<b>115</b>	Messkurven des vertikalen Leckstroms bei 4 $\mu\text{m}$ Pufferschichtstärke
<b>116</b>	Messpunkte des vertikalen Leckstroms mit Ar-Implantation
<b>117</b>	Messpunkte des vertikalen Leckstroms ohne Ar-Implantation

**Patentansprüche**

1. Halbleiterschichtenstruktur mit einem Substrat (109), einer auf dem Substrat (109) aufgetragenen Pufferschicht (107) und einer auf der Pufferschicht (107) aufgetragenen aktiven Halbleiterstruktur, mit einer durch Aufbringen einer Barrierschicht als Kanal ausgebildeten Schicht (106), und auf der Barrierschicht aufgetragenen Kontakten (101, 102, 103), wobei die Halbleiterschichtenstruktur ausgebildet ist, einen lateralen Stromfluss von einem der Kontakte (102) zu einem anderen der Kontakte (101, 103) durch die Schicht (106) zumindest in einer ersten Richtung dauerhaft oder temporär zu verhindern oder begrenzen, sofern ein Potenzial des einen der Kontakte (102) um weniger als eine Durchbruchsspannungsschwelle von einem weiteren Potenzial des anderen der Kontakte (101, 103) abweicht, wobei

ein Potenzial des Substrats (109) dem weiteren Potenzial entspricht und durch nur in einem Bereich (112) des Substrats (109) selektiv in das Substrat (109) implantierte Isolationsionen eine Ableitsspannungsschwelle geringer als die Durchbruchsspannungsschwelle festgelegt ist, wobei Ladung von dem einen Kontakt durch die Pufferschicht (107) zum einem Substratgebiet ohne Isolationsionen hin abfließen kann, sofern das eine Potenzial mindestens um die Ableitsspannungsschwelle von dem weiteren Potenzial abweicht, wobei das Substratgebiet ohne Isolationsionen unter dem einen Kontakt liegt.

2. Halbleiterschichtenstruktur nach Anspruch 1, wobei in einem Querschnitt durch die Halbleiterstruktur ein erstes Schnittflächenteil der Schicht (106) im Bereich zwischen dem einen Kontakt (102) und dem anderen Kontakt (101, 103) kleiner ist als ein zweites Schnittflächenteil eines vertikalen Bereichs zwischen dem einen der Kontakte (102) und dem Substratgebiet ohne Isolationsionen.

3. Halbleiterschichtenstruktur nach einem der Ansprüche 1 bis 2, wobei die Ableitsspannungsschwelle größer als eine Mindestspannung ist, die zwischen dem einen Kontakt (102) und dem anderen Kontakt (101, 103) dauerhaft bestehen kann, ohne dass ein die Halbleiterstruktur schädigender Stromfluss auftritt.

4. Halbleiterschichtenstruktur nach einem der Ansprüche 1 bis 3, wobei, die implantierten Isolationsionen eine Bildung eines pn-Übergangs in mindestens einem Bereich auf einer Oberfläche des Substrats (109), auf der die Pufferschicht (107) aufgebracht ist, umfassen.

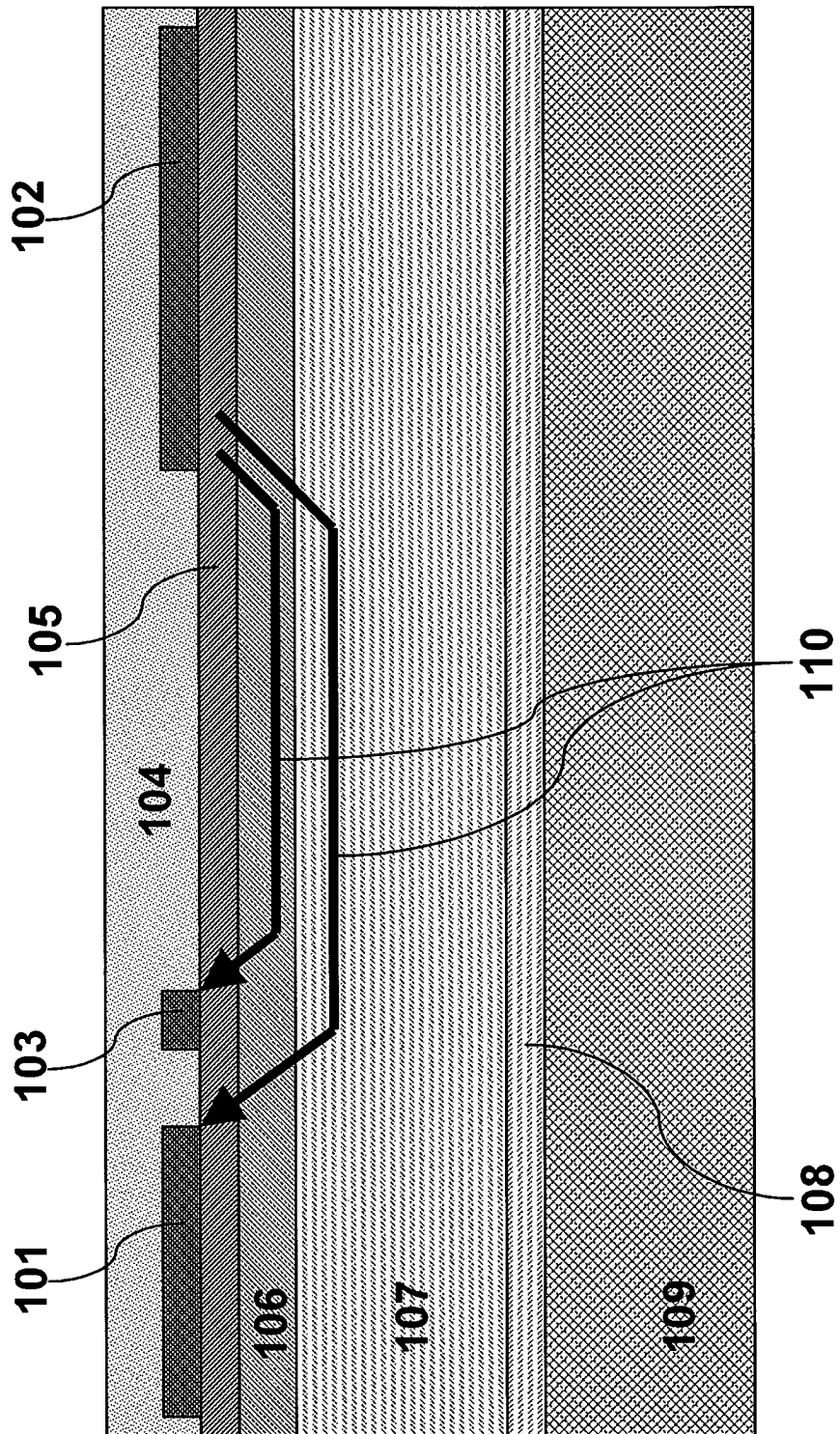
5. Halbleiterschichtenstruktur nach einem der Ansprüche 1 bis 4, wobei die aktive Halbleiterstruktur einen Transistor bildet und einen zwischen den Kon-

takten (101, 102) auf der Barrierschicht aufgetragenen Gate-Kontakt (103) umfasst.

6. Halbleiterschichtenstruktur nach einem der Ansprüche 1 bis 4, wobei die aktive Halbleiterstruktur zusammen mit dem einen Kontakt (101) und dem anderen Kontakt (102) eine Diode bildet.

Es folgen 5 Seiten Zeichnungen

Anhängende Zeichnungen



Figur 1 – Stand der Technik

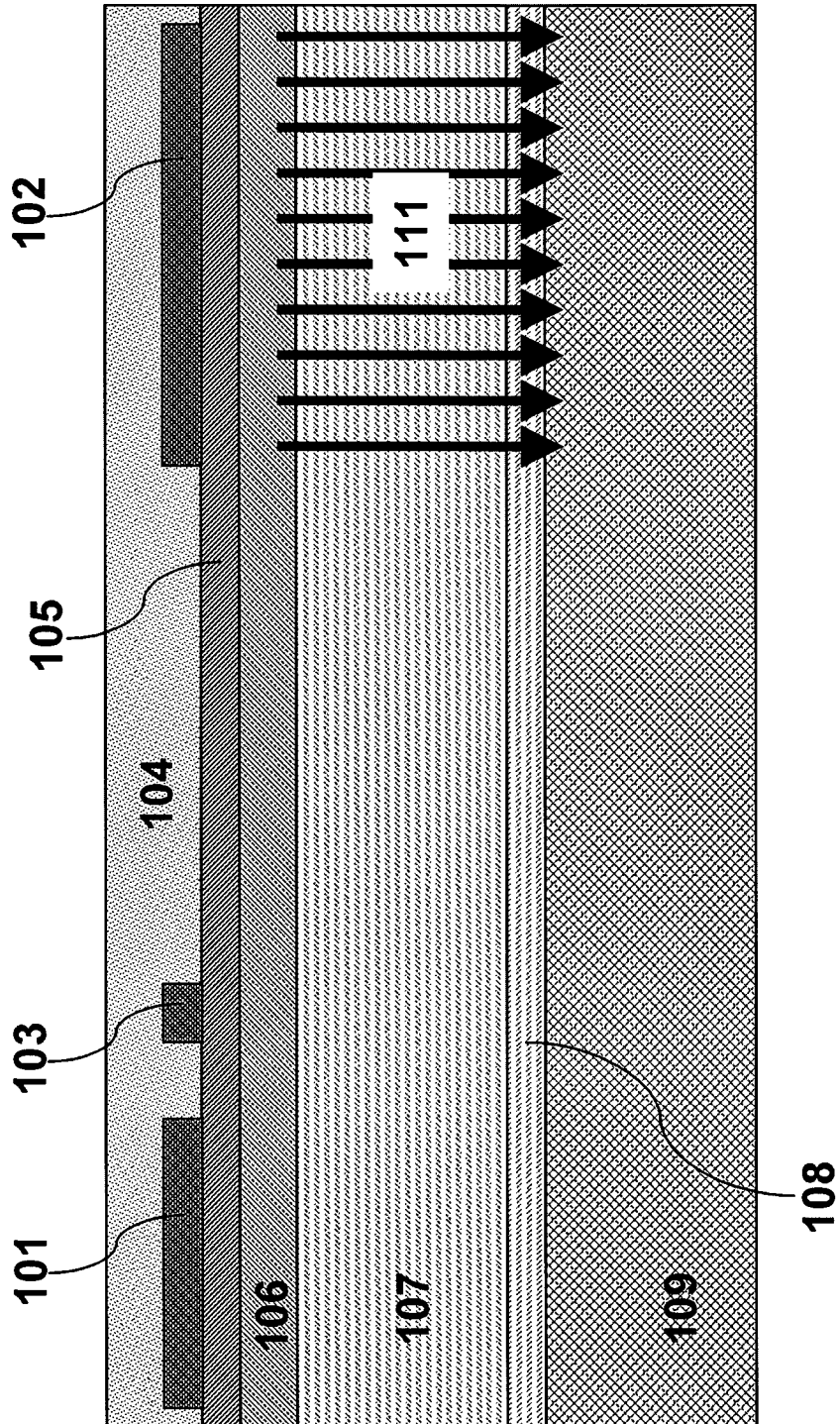


Figure 2

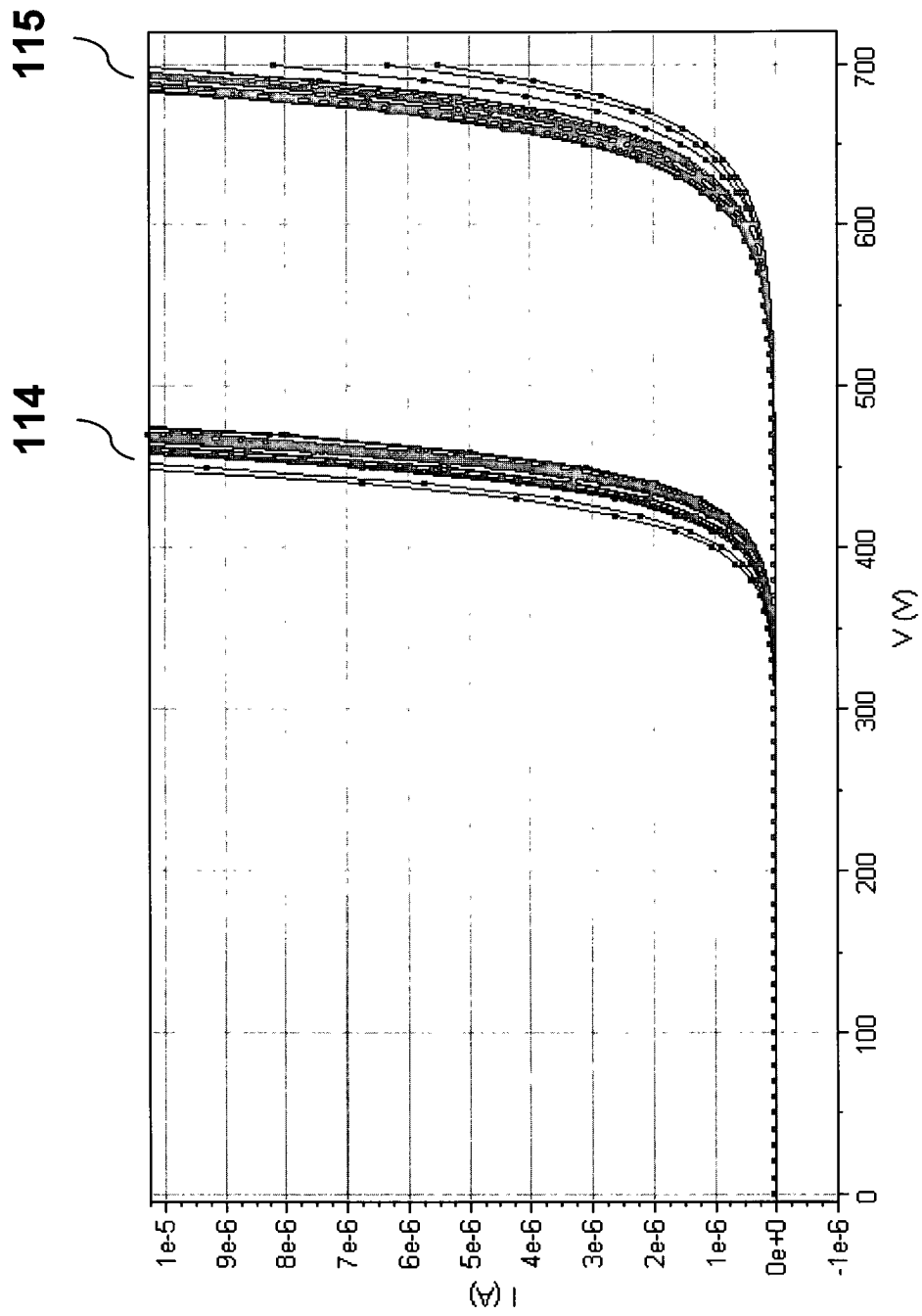
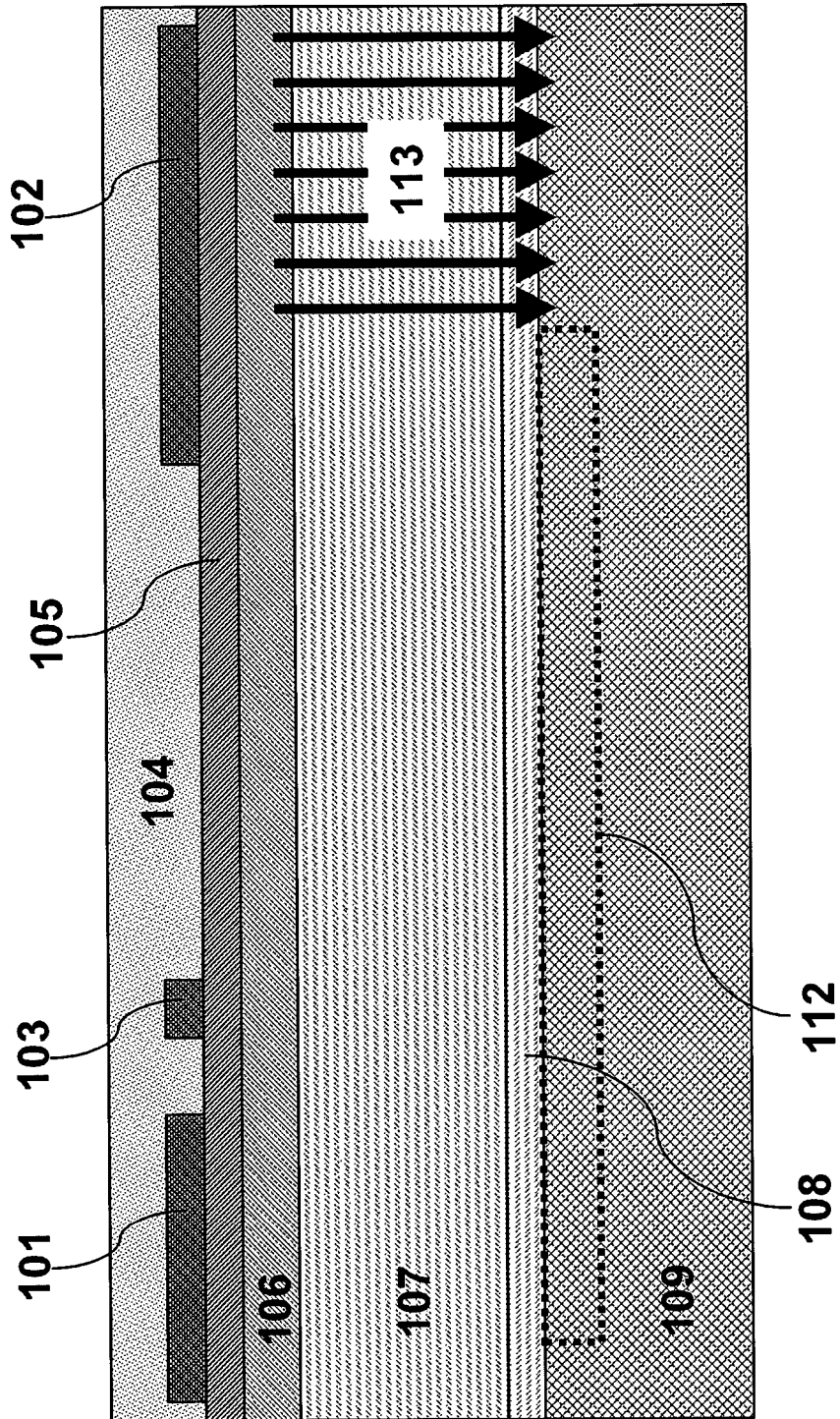


Figure 3





Figur 4

Figur 5

